

多モード干渉光導波路を用いた光論理ゲートの研究

代表研究者

高畑 清人

早稲田大学 大学院情報生産システム研究科 准教授

1 はじめに

光通信技術、光信号処理技術についてはこれまでに膨大な研究・開発が実施され、多くの関連技術が実用化されて人々の生活に貢献している。特に光通信技術については、増大し続ける通信容量に対する人々の要求を満たすことに大きく貢献している。しかしながら、光通信技術が広範な領域で実用化されている現在においても、データの信号処理については、ほぼ全てが電気信号処理技術によるものであり、光通信技術による信号伝送部と電気信号処理技術による信号処理の間での光-電気/電気-光信号変換が必須となっている。全光信号処理技術はこの光-電気/電気-光信号変換を取り除いて、信号伝送から信号処理までのすべてを光信号で可能とするものであり、実用に供する全光信号処理技術が確立されれば、信号処理の高速化、低消費電力化、低遅延化に多大な貢献が期待され、様々な応用領域での革新技術となり得る。1990年代以降、全光信号処理に関する多くの研究が行われ、現在も活発に様々なアプローチによる研究成果の報告がなされている。代表的な光論理ゲートの構成方法としては、複数のマイクロリング共振器の組み合わせ[1]、マッハツェンダー干渉計と半導体光増幅器の組み合わせ[2]、多モード干渉光導波路を利用[3, 4, 5]、フォトニック結晶ナノ光共振器を利用したもの[6]等のシミュレーション結果や実験結果が報告されている。しかし、いずれの構成方法においても、固定された1つの設計仕様でAND, NOR, OR, NAND, XOR, XNOR, NOT等の多数の演算機能を達成することは容易ではない。多モード干渉光導波路を用いた光論理ゲートには、構成・作製の容易性、低消費電力という利点があり、ANDとNORを除く5つの演算機能をシミュレーションで確認した報告[4]がある。しかし、ANDとNORについてはこの報告例のアプローチでは原理的に実現が困難であり、目的とする演算機能に応じて導波路長や導波路幅等のデバイス設計パラメータを変化させる必要が生じる。しかしながら、異なった論理演算を実行するために論理ゲートの設計をそれに合わせて変更することには、論理回路の柔軟性・拡張性、設計に要する稼働の観点で大きな不利益がある。

この問題を解決すべく、本研究では、入力信号光、参照光の強度、位相、及び多モード干渉光導波路の設計について詳細に解析を行い、AND、NORを含む5つの演算機能が1つの光論理ゲートデバイスで実行可能であることを理論的解析と数値シミュレーションにより示したので報告する。

2 光論理ゲート動作の解析方法

2-1 理論計算による解析

光論理ゲートとして多モード干渉光導波路を用いる場合、様々な入出力ポート数の組み合わせが候補となり得るが、本研究では、2つの入力光信号の他に参照光を加えることが出来るという利点があり、先行研究[4]でも用いられている3×3構成の多モード干渉光導波路(図1)による光論理ゲートについて検討を行った。

検討にあたっては、まず転送行列を用いて入力信号 (A_1, A_2, R) (R は参照光) と出力信号 (B_1, B_2, B_3) の関係を表す右の式に基づいて、3つの出力信号の何れかが入力信号 (A_1, A_2) に対してAND演算に対応する条件を探索した。入力信号の変調方式はBPSK (Binary Phase Shift Keying: 二値位相偏移変調)

$$\begin{bmatrix} B_1 \\ B_2 \\ B_3 \end{bmatrix} = \frac{1}{\sqrt{3}} \begin{bmatrix} e^{j\frac{\pi}{3}} & e^{j\frac{4\pi}{3}} & e^{j\pi} \\ e^{j\frac{4\pi}{3}} & e^{j\pi} & e^{j\frac{4\pi}{3}} \\ e^{j\pi} & e^{j\frac{4\pi}{3}} & e^{j\frac{\pi}{3}} \end{bmatrix} \begin{bmatrix} A_1 \\ A_2 \\ R \end{bmatrix}$$

を用い、出力信号は光強度で論理値“0”, “1”を判定するASK (Amplitude Shift Keying: 強度偏移変調) 信号として識別する方式を適用した。2つの入力信号と参照光はすべて同じ光強度とする条件で解析を行った。

入力信号の位相条件によって出力信号が変化するので、2つのBPSK信号の入力に対して出力信号 (B_1, B_2, B_3) のいずれかが目的とする論理演算に対応するASK光信号となるような入力信号 (A_1, A_2, R) の組み合わせを探索した。

出力信号が目的とする論理演算機能をどれだけ達成しているかは、ポートから出力されるASK信号の消光

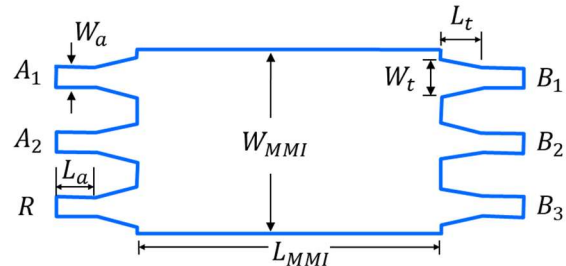
比(Extinction Ratio: ER)で評価した。

$$ER = 10 \log \left(\frac{P_{1,\min}}{P_{0,\max}} \right)$$

ここで、 $P_{0,\max}$ は論理値“0”に対応する信号の最大値を、 $P_{1,\min}$ は論理値“1”に対応する信号の最小値を表す。

2-2 ビーム伝搬法による解析

前述の理論計算により目的とする論理演算を実行可能な入力信号条件を導出した後に、ビーム伝搬法(Beam Propagation Method: BPM)に基づいた数値シミュレーションにより、その入力信号を 3×3 多モード干渉光導波路型光論理ゲートに入力した際の3つの出力信号(B_1 , B_2 , B_3)の強度を求め、目的とする論理演算についての消光比を算出した。その際に、多モード干渉光導波路はSOI (Silicon on Insulator) 基板上的シリコン光導波路で作製することを前提として設計した。使用する光信号の波長は1550 nmに設定し、この波長における光導波路のコア層(Si)、クラッド層(SiO_2)の屈折率としては各々3.48と1.46を用いて設計・解析を行った。図1に設計した 3×3 多モード干渉光導波路の概要とサイズを示す。多モード干渉光導波路部分は長さ(L_{MMI}) $72.37 \mu\text{m}$ 、幅(W_{MMI}) $4.8 \mu\text{m}$ で、導波路の両端にそれぞれ3つの入力光導波路と出力光導波路を備えている。入力光導波路の幅(W_a)は $0.5 \mu\text{m}$ であり、伝搬損失低減のために入出力光導波路と多モード干渉光導波路の接続部分には幅が $0.5 \mu\text{m}$ から $1.0 \mu\text{m}$ に広がる長さ $10 \mu\text{m}$ のテーパ光導波路を設けた。この光論理ゲートデバイスのサイズは約 $100 \times 5 \mu\text{m}^2$ である。



$$\begin{aligned} L_{MMI} &= 72.37 \mu\text{m} & W_{MMI} &= 4.8 \mu\text{m} \\ L_a &= 10 \mu\text{m} & W_a &= 0.5 \mu\text{m} \\ L_t &= 10 \mu\text{m} & W_t &= 1 \mu\text{m} \end{aligned}$$

図1 3×3 多モード干渉光導波路型論理ゲート

3 入力信号条件の探索と光論理ゲート動作の検証

3-1 入力信号条件-1 (AND, NAND, NOT 演算)

AND 演算では2つ入力信号の論理値が $(A_1, A_2) = (0, 0)$ 、 $(0, 1)$ 、 $(1, 0)$ の3つの条件で出力論理値が0となる必要があるが、多モード干渉光導波路の動作を考えると、3つの条件すべてで特定の出力ポートからの光強度を0とすることは不可能である。そこで本研究では、出力の論理値“0”に対応する光出力強度を0とすることを必要条件とはせず、ANDゲート動作における消光比が最大となる入力信号条件を探索した。その結果、入力信号の条件を $A_1: (\phi_0, \phi_1) = (\pi, 0)$ 、 $A_2: (\phi_0, \phi_1) = (4\pi/3, \pi/3)$ と設定した時に、表1に示す結果が得られた。ここで、 ϕ_0 、 ϕ_1 は各々論理値“0”、“1”に対応する位相を表し、表1の出力信号における理論 (a. u.)、BPM (dB)は各々前述の理論計算による解析、BPMによる解析の結果を示している。理論計算による解析により、出力 B_2 において入力信号の論理値 $(A_1, A_2) = (0, 0)$ 、 $(0, 1)$ 、 $(1, 0)$ の時に光出力強度が $1/3$ となり、 $(A_1, A_2) = (1, 1)$ の時に光出力強度が3となっており、消光比9.54dBのAND演算動作が可能であることが示されている。この時同時に、出力 B_1 でNAND演算動作、出力 B_3 でNOT演算動作が得られている。

次に、この理論計算の結果をBPMによるシミュレーションにより検証した。4通りの入力信号論理値の組合せ(表1の左端2列)に対応する入力信号と参照光を入力した時の多モード干渉光導波路内の光強度分布を図2に示す。図2では(a)、(b)、(c)においても出力 B_2 にいくらかの光強度が確認されているが、(d)における出力 B_2 とは表示色が異なっており、光強度が小さいことがシミュレーションで出力された強度値(表1のBPM(dB))でも確認できる。BPMシミュレーションでも、出力 B_2 において消光比9.52dBのAND演算動作が確認できた。

この入力信号条件で、同時に出力 B_1 においてNAND演算動作が得られることが表1、及び図2に示されている。理論計算では入力信号の論理値が $(A_1, A_2) = (1, 1)$ の時に B_1 からの出力強度が0となっているが、これは理論計算では理想的な状態を仮定しているためである。BPMシミュレーションでは対応する出力強度

表1 入力信号条件-1 (AND, NAND, NOT 演算)

入力信号 *1					出力信号											図 2	
論理値		位相			B_1 (NAND)			B_2 (AND)			B_3 (NOT A_1)			B_3 (NOT A_2)			
A_1	A_2	ϕ_{A1}	ϕ_{A2}	ϕ_R^{*2}	論理値	強度		論理値	強度		論理値	強度		論理値	強度		
						理論 (a. u.)	BPM (dB)		理論 (a. u.)	BPM (dB)		理論 (a. u.)	BPM (dB)		理論 (a. u.)		BPM (dB)
0	0	π	$4\pi/3$	0	1	4/3	1.18	0	1/3	-4.79	-	4/3	1.23	-	4/3	1.23	(a)
0	1	π	$\pi/3$	0	1	4/3	1.23	0	1/3	-4.79	1	4/3	1.18	-	4/3	1.18	(b)
1	0	0	$4\pi/3$	0	1	4/3	1.21	0	1/3	-4.84	-	4/3	1.21	1	4/3	1.21	(c)
1	1	0	$\pi/3$	0	0	0	-45.13	1	3	4.73	0	0	-45.14	0	0	-45.14	(d)
消光比 (dB)					-	∞	46.3	-	9.54	9.52	-	∞	43.6	-	∞	46.3	

*1: PSK 入力信号 A_1, A_2 と 参照光 R はすべて信号強度を 1 に設定 *2: 参照光の位相

-45.13 dB と算出されており、これがより現実的な値と考えられる。NAND 演算動作については、十分に高い消光比 46.3 dB が得られている。

同様に、出力 B_3 において NOT 演算動作が得られることが表 1、及び図 2 に示されている。これについても、BPM シミュレーションにより十分に高い消光比 46.3 dB が確認できた。

3-2 入力信号条件-2 (OR, NOR 演算)

AND 演算と同様に NOR 演算でも 2 つ入力信号の論理値が $(A_1, A_2) = (0, 1), (1, 0), (1, 1)$ の 3 つの条件で出力論理値が 0 となる必要があるが、3 つの条件すべてで特定の出力ポートからの光強度を 0 とすることは不可能である。そこで同様に、出力の論理値 "0" に対応する光出力強度を 0 とすることを必要条件とはせず、NOR ゲート動作における消光比が最大となる入力信号条件を探索した。

その結果、入力信号の条件を $A_1: (\phi_0, \phi_1) = (0, \pi), A_2: (\phi_0, \phi_1) = (\pi/3, 4\pi/3)$ と設定した時に、表 2 に示す結果が得られた。理論計算による解析により、出力 B_2 において入力信号の論理値 $(A_1, A_2) = ((0, 1), (1, 0), (1, 1))$ の時に光出力強度が $1/3$ となり、 $(A_1, A_2) = (0, 0)$ の時に光出力強度が 3 となっており、消光比 9.54dB の NOR 演算動作が可能であることが示されている。この時同時に、出力 B_1, B_3 で各々 OR 演算動作が得られている。

ここでも、理論計算の結果を BPM によるシミュレーションにより検証した。4 通りの入力信号論理値の組合せ (表 2 の左端 2 列) に対応する入力信号と参照光を入力した時の多モード干渉光導波路内の光強度分布を図 3 に示す。図 3 では (b), (c), (d) においても出力 B_2 にいくらかの光強度が確認されているが、(a) における出力 B_2 とは表示色が異なっており、光強度が小さいことがシミュレーションで出力された強度値 (表 2 の BPM (dB)) でも確認できる。BPM シミュレーションでも、出力 B_2 において消光比 9.52dB の NOR 演算動作が確認できた。この入力信号条件で、同時に出力 B_1, B_3 において OR 演算動作が得られることが表 2、及び図 3 に示されている。理論計算では入力信号の論理値が $(A_1, A_2) = (0, 0)$ の時に B_1 からの出力強度が 0 となっているが、これは理論計算では理想的な状態を仮定しているためである。BPM シミュレーションでは対応する出力強度 -45.14 dB と算出されており、これがより現実的な値と考えられる。OR 演算動作については、十分に高い消光比 46.3 dB が得られている。

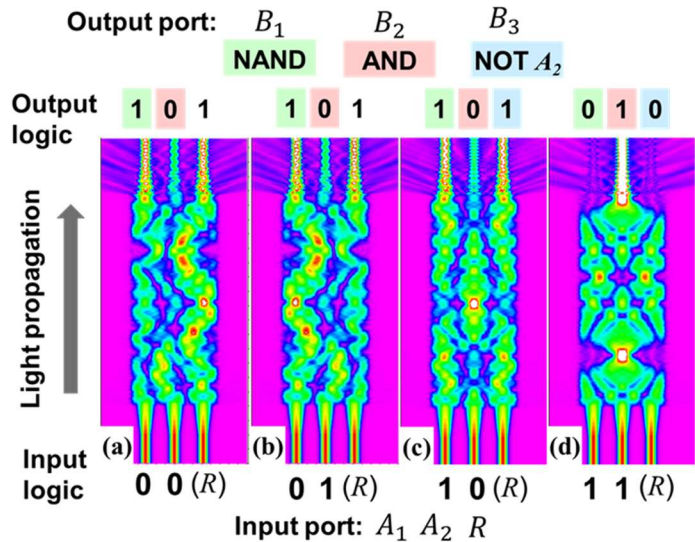


図 2 多モード干渉光導波路内の光強度分布 : 入力条件-1

表 2 入力信号条件-2 (NOR, OR 演算)

入力信号 *1					出力信号									図 3
論理値		位相			B_1 (OR)			B_2 (NOR)			B_3 (OR)			
A_1	A_2	ϕ_{A1}	ϕ_{A2}	ϕ_R^{*2}	論理値	強度		論理値	強度		論理値	強度		
						理論 (a. u.)	BPM (dB)		理論 (a. u.)	BPM (dB)		理論 (a. u.)	BPM (dB)	
0	0	0	$\pi/3$	0	0	0	1.21	1	3	4.73	0	0	1.21	(a)
0	1	0	$4\pi/3$	0	1	4/3	1.23	0	1/3	-4.84	1	4/3	1.18	(b)
1	0	π	$\pi/3$	0	1	4/3	1.18	0	1/3	-4.79	1	4/3	1.23	(c)
1	1	π	$4\pi/3$	0	1	4/3	-45.14	0	1/3	-4.79	1	4/3	-45.13	(d)
消光比 (dB)					-	∞	46.3	-	9.54	9.52	-	∞	43.6	

*1: PSK 入力信号 A_1, A_2 と 参照光 R はすべて信号強度を 1 に設定 *2: 参照光の位相

4 まとめ

将来の全光信号処理技術の確立のために、固定された 1 つの設計仕様で AND, NOR を含む多数の演算機能を実行可能な光論理ゲートデバイスを創出すること目的として、 3×3 多モード干渉光導波路を対象に理論的解析と BPM シミュレーションによりデバイス構造の設計と入力信号条件の探索を行った。

SOI 基板上での作製を前提として、デバイスサイズが約 $100 \times 5 \mu\text{m}^2$ の 3×3 多モード干渉光導波路型論理ゲートを設計した。3 つの入力ポートには 2 つの論理値を表す 2 つの BPSK 光信号と 1 つの参照光 (波長はすべて 1550nm) を入力する条件の下で、高い消光比を得ることが最も難しい AND 演算動作に着目して様々な BPSK 光信号の位相の組合せを調査し、ある入力信号条件において、3 つの出力信号の中の 1 つで消光比 9.5dB の AND 演算が達成可能であることを BPM シミュレーションにより確認した。これは多モード干渉光導波路を用いた AND ゲートとしては先行研究[5]での消光比約 4.8dB より 4.7dB 大きい値である。この条件で、同時に他の 2 つの出力信号で NAND、NOT 演算が消光比 40dB 以上で実行可能であることも確認した。次に、AND 演算と同様に実現が難しい NOR 演算に対しても同様の検討を実施し、前述とは別の入力信号条件において、3 つの出力信号の中の 1 つで消光比 9.5dB の NOR 演算が達成可能であることを確認した。この条件で、同時に他の 2 つの出力信号で OR 演算が消光比 40dB 以上で実行可能であることも確認した。

以上のように、消光比 9.5dB 以上で AND 演算を含む 5 つの論理演算を固定された 1 つの設計仕様で実行可能な多モード干渉光導波路型論理ゲートを設計し、演算実行に必要なとなる入力信号の条件を導出した。本成果を Asia Communications and Photonics Conference (ACP 2022, 深圳) で発表した。

今後は、その他の論理演算を実行するための条件を導出する計画である。

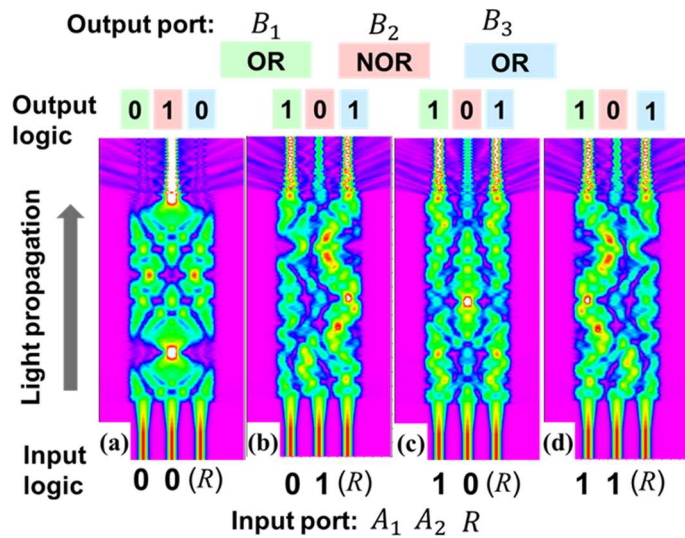


図 3 多モード干渉光導波路内の光強度分布 : 入力条件-2

【参考文献】

- [1] J. K. Rakshit, J. N. Roy and T. Chattopadhyay, "All-optical XOR/XNOR logic gate using micro-ring resonators," 5th International Conference on Computers and Devices for Communication (CODEC), 2012
- [2] Joo-Youp Kim, Jeung-Mo Kang, Tae-Young Kim, and Sang-Kook Han, "All-Optical Multiple Logic Gates With XOR, NOR, OR, and NAND Functions Using Parallel SOA-MZI Structures: Theory and Experiment," J. Lightw. Technol, vol. 24, no. 9, pp. 3392-3399, 2006.
- [3] S. Mohammadnejad, Z. F. Chaykandi and A. Bahrami, "MMI-Based Simultaneous All-Optical XOR-NAND-OR and XNOR-NOT Multilogic Gate for Phase-Based Signals," J. Quantum Electron., vol. 50, no. 12, pp.1014-1018, Dec. 2014
- [4] S. Hassan and D. Chack, "Design and performance analysis of MMI based all optical logic gates on SOI substrate," 3rd International Conference on Microwave and Photonics (ICMAP), 2018.
- [5] Dao Duy Tu, Ho Duc Tam Linh, Dung Truong Cao and Hung Tan Nguyen, "All-Optical Half Adder Based on a 2x2 Multimode Interference Coupler," Journal of Science and Technology: Issue on Information and Communications Technology, vol. 4, no. 1, 2018.
- [6] Ahmad Mohebzadeh-Bahabady and Saeed Olyaei, "All-optical NOT and XOR logic gates using photonic crystal nano-resonator and based on an interference effect," IET Optoelectronics, vol. 12, no. 4, pp. 191-195, 2018.

〈発表資料〉

題名	掲載誌・学会名等	発表年月
Design of A MMI-Based All-Optical AND-NAND-NOT and NOR-OR Multilogic Gate for Binary-Phase-Shift-Keyed Signal	ACP 2022: Asia Communications and Photonics Conference	2022年11月