

3D-IC の高速信号伝送技術に関する研究

代表研究者 黒川 敦 弘前大学 大学院理工学研究科 教授

1 はじめに

半導体技術の進歩に伴い、三次元集積回路（3D IC: Three Dimensional Integrated Circuit）が実現できるようになってきた[1]。中でも貫通シリコンビア（TSV: Through Silicon Via）を用いた 3D IC は、従来のシングルチップ集積回路における幾つかの課題の解決策として、脚光を浴びている[1-17]。従来はシングルチップを 1 つのパッケージに入れるか、複数チップを入れる SiP（System in Package）でもワイヤーボンディング等で接続していた。TSV ベース 3D IC は、垂直方向にチップを積層して、チップ内を垂直に配線することで全体システムを小型化できる。また、トランジスタ数の大規模化に伴い、シングルチップでは配線が長くなり、配線容量が増加することで低電力化を妨げ、さらに配線抵抗も増加することで高速化に支障をきたしていた。TSV ベース 3D IC は垂直方向に配線することで、総配線長を短くでき、これらの課題を解決できる[1]。

TSV ベース 3D IC を製品化する上で、設計技術は非常に重要である。また、従来のシングルチップ設計と異なり、チップ間の垂直配線も考慮しなければならない。そのために、TSV 等による垂直配線の寄生素子抽出が必要となり、物理構造のモデリングから電氣的パラメータ RLGC（抵抗、インダクタンス、コンダクタンス、容量）の等価回路及びその RLGC を求める式が提案されてきた[2, 3, 10, 11, 13, 16]。大規模 TSV の寄生抽出方法として、インダクタンス逆行列を用いた方法[4-8]やフィッティングによる容量式[9, 10]が提案されている。容量式による方法は限られた配置にしか対応していないか、もしくは多数の配置用に式を作る必要がある。インダクタンス逆行列を用いた方法はどのような配置でも容量を求めることができる。しかし、インダクタンス逆行列による方法を用いて抽出された容量の精度が不明確である。さらに、積層チップを伝搬する信号遅延を物理パラメータから容易に求める方法は提案されていなかった。

本研究では、高速伝送技術の基本となる寄生パラメータの抽出及び信号遅延を評価可能な遅延モデルに焦点を当てる。本研究によって、インダクタンス逆行列による容量算出方法[4-8]の精度を様々な構造で検証され、精度が悪くなる条件が明確にされ、膨大な数の TSV が規則的に配置された場合の効率的なインダクタンス行列の作成方法が提案された。さらに、3D IC の垂直方向信号伝搬を物理パラメータによって評価できる遅延モデルを開発した。

2 三次元集積回路の貫通シリコンビア間結合容量抽出

2-1 インダクタンス逆行列と TSV 間容量

準 TEM（Transverse Electromagnetic）波とみなすことで、無損失 TEM 波伝送の以下の式が使える。

$$LC = \mu\epsilon \quad (2-1)$$

但し、 L はインダクタンス、 C は容量、 μ は透磁率、 ϵ は誘電率である。ここでリターンパスとなる導体 0 以外に n 個の導体がある場合を考える。導体 i のループ自己インダクタンス L_{ii} と、導体 i と j 間のループ相互インダクタンス L_{ij} は以下の式を用いる[4-8]。

$$L_{ii} = \frac{\mu_0}{2\pi} \ln \left(\frac{p_{i0}^2}{r_i r_0} \right) \quad (2-2) \quad L_{ij} = \frac{\mu_0}{2\pi} \ln \left(\frac{p_{i0} p_{j0}}{r_0 p_{ij}} \right) \quad (2-3)$$

但し、 μ_0 は真空の透磁率（ $\mu_0 = 4\pi \times 10^{-7}$ (H/m)）、 p_{i0} は導体 i とリターンパスとなる導体 0 とのピッチ、 r_i と r_0 は導体 i 及び導体 0 の半径、 p_{i0} と p_{j0} と p_{ij} は導体 i と導体 0、導体 j と導体 0 及び導体 i と導体 j とのピッチである。インダクタンス行列、容量行列（ ϵ_{Si} はシリコンの誘電率）とコンダクタンス行列（ ρ_{Si} はシリコンの抵抗率）は以下で表される。

$$[L_{Si}] = \begin{bmatrix} L_{11} & L_{12} & \cdots & L_{1n} \\ L_{21} & L_{22} & \cdots & L_{2n} \\ \vdots & \vdots & \ddots & \vdots \\ L_{n1} & L_{n2} & \cdots & L_{nn} \end{bmatrix} \quad (2-4) \quad [C_{Si}] = \mu_0 \epsilon_{Si} [L_{Si}]^{-1} \quad (2-5) \quad [G_{Si}] = \frac{1}{\rho_{Si} \epsilon_{Si}} [C_{Si}] \quad (2-6)$$

式(2-4)と式(2-5)から、容量行列は以下となる。

$$[C_{Si}] = \begin{bmatrix} C_{11} & -C_{12} & \cdots & -C_{1n} \\ -C_{21} & C_{22} & \cdots & -C_{2n} \\ \vdots & \vdots & \ddots & \vdots \\ -C_{n1} & -C_{n2} & \cdots & C_{nn} \end{bmatrix} \quad (2-7)$$

ここでリターンパスとした導体0の自己容量と相互 (=結合) 容量は以下の式から求めることができる。

$$C_{ii} = C_{i0} + \sum_{j=1}^n C_{ij} \quad (2-8)$$

図 2-1 に 3 つの導体の場合の結合容量を示す。0 をリターンパスとするため、式(2-4)、(2-5)、(2-7)からは導体 1 と 2 の間の容量しか求めることができないが、式(2-8)を使うことで、全ての導体間容量を求められる。

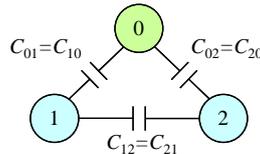


図 2-1 導体間結合容量

2-2 リターンパスの評価

インダクタンス逆行列による容量計算では、導体の 1 つ以上をリターンパスとする必要がある。ここではリターンパスの設定の仕方によって、求めた容量に差が出るのかどうかを検証する。図 2-2 に示す異径・規則的配置の 3×3 の構造を使って検証する。1 つの導体をリターンパスとする場合は 3 通りの組み合わせがある。この 3 種類のインダクタンス行列は異なるが、逆行列から求めた容量は全て同じになった (表 2-1)。但し、例えば C_{11}, C_{12} は図 2-2 の 1 行 1 列と 1 行 2 列の導体間容量を表す。その他様々な構造 (4×4 や不規則配置等) でも検証し、リターンパスをどこに設定しても同じ結果が得られることを確認した (数値結果は省略)。これらのことから、導体のどれをリターンパスにしても、容量計算には問題がないことがわかった。

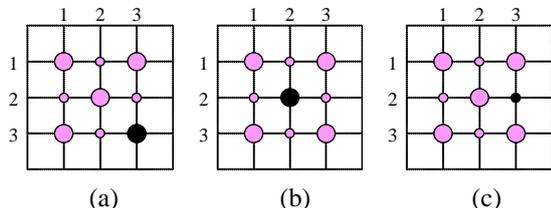


図 2-2 異なる 3 つのリターンパス (黒塗りつぶし)

表 2-1 図 2-2 のリターンパスの評価結果

Return Path	Capacitance (fF/μm)		
	$C_{11,12}$	$C_{21,22}$	$C_{11,22}$
Fig. 2-4(a)	0.0719	0.0545	0.0511
Fig. 2-4(b)	0.0719	0.0545	0.0511
Fig. 2-4(c)	0.0719	0.0545	0.0511

2-3 インダクタンス逆行列から求めた容量の精度

(1) 同径・規則的配置

最隣接間のピッチと円 (導体) の直径との比率 (p/d) は、2 と 10 を用いた。解析には、4×4 の構造を用いた (図 2-3)。表 2-2 に結果を示す。表 2-2 から以下のことが言える。

- インダクタンス逆行列を用いた方法は、 p/d が大きいほど精度が高い。
- 最も隣接する水平 (垂直も同様) に配置された導体 (円) 間の容量は最も大きく (支配的)、またインダクタンス逆行列を用いた方法の精度は高い。
- $p/d=2$ では、水平の最隣接でも 5% 程度ずれる場合がある。
- 対角に位置する最も近い 2 つの導体の結合容量は、 $p/d=2$ では、精度は 3% 以内の誤差であるが、 $p/d=10$ では誤差が 20% 以上に及ぶ。但し、 $p/d=2$ ではオーダーが 1 桁小さい。
- 水平、対角共に 1 つ飛びの導体間容量において、 $p/d=10$ では誤差が少ないが、 $p/d=2$ では非常に大きい。しかし、これは容量値が極端に小さい。

(2) 異径、不規則配置

直径の異なる不規則配置の精度を明らかにする。直径は最小ピッチを 1 としたときに、0.5 と 0.1 を用いた ($p/d=2, 10$)。図 2-4 に異径・不規則配置の構造を示す。図 2-5 に図 2-4(a)~(d) の結合容量の誤差分布を示す。

ほとんどが±3%以内に入っている。10%以上の誤差がある箇所は、途中で導体があるか、もしくは遠くて支配的でない場合がほとんどである。

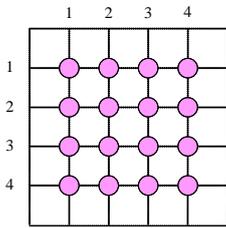


図 2-3 4×4 の規則配置

表 2-2 図 2-3 の容量と精度

		$p/d=10$		$p/d=2$		
		C (fF/ μm)	Err (%)	C (fF/ μm)	Err (%)	
1	*	$C_{11,12}$	0.047	3.0	0.146	1.8
		$C_{12,13}$	0.042	1.2	0.137	-1.9
		$C_{22,23}$	0.030	-0.7	0.107	-5.0
		$C_{33,34}$	0.032	-0.8	0.107	-1.0
2	*	$C_{11,22}$	0.016	2.4	0.023	39.1
		$C_{22,33}$	0.013	-0.7	0.022	9.3
		$C_{12,23}$	0.014	0.3	0.022	22.2
		$C_{13,24}$	0.018	1.8	0.026	27.4
3	*	$C_{11,13}$	0.013	-0.7	0.016	50.4
		$C_{22,24}$	0.004	0.7	0.001	1195.5
		$C_{12,34}$	0.002	-20.9	0.001	1188.6

*1:Nearest with parallel, *2:Nearest with opposite angle, *3: Others

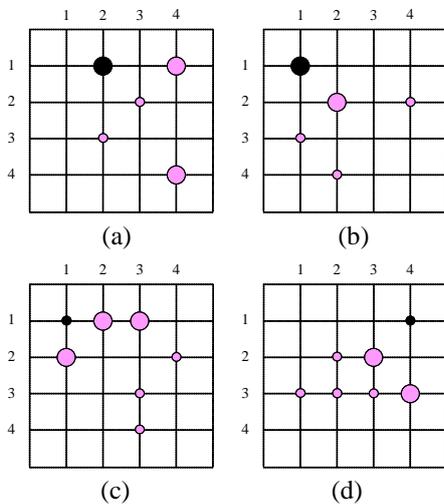


図 2-4 不規則配置

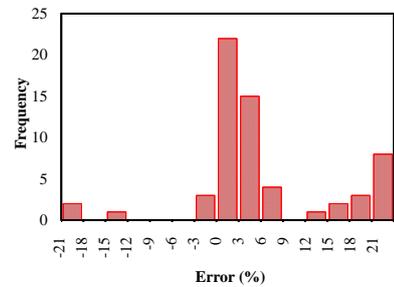


図 2-5 図 2-4 の精度分布

2-4 同径・規則配置の効率的算出方法

基板の薄膜化し、TSV 径の縮小が進むと、1つのチップに数千本以上の TSV を入れることができる。このような場合、インダクタンス行列は膨大となり、計算効率が良くない。そこで最も一般的に使われる TSV の直径が同じで規則的に配置された場合に、精度をほとんど落とさずに行列要素数が最も少ない、大規模寄生抽出に効果的で最適な行列サイズを求める。図 2-6 に、精度比較のためのリファレンスとして、8×8 の配置を示す。記号はその 2つの導体間の結合容量を表す。このリファレンスに対して、精度を落とさずに $n \times n$ の n をどこまで小さくできるかを調査した。図 2-7 に、提案する 4×4 の構造を示す。図 2-8(a)は、 $p/d=2$ のときの $n \times n$ の n を 2 から増やしたときの導体間容量 (a, b, c, d, e, f) の変化を示す。図 2-8(a)から、 n を増やしていけば、リファレンスの値に近づくことがわかる。図 2-8(b)は、該当する箇所の導体間容量の誤差を表す。図 2-8 から、 n が 4 のときに、リファレンスに非常に近い結果を得られることがわかる。そこで、 $n=4$ (すなわち 4×4) のときに、 p/d を可変したときの誤差を調査した。図 2-9 に結果を示す。リファレンスとの差は約 3%以内であることがわかる。

すなわち、同径の TSV が多数規則的に配置された場合は、大規模インダクタンス行列を作らなくても、4×4 のインダクタンス行列から逆行列を求めて容量を算出することで、高速処理できることがわかる。

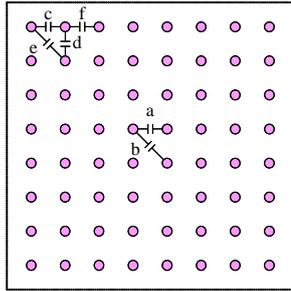


図 2-6 同径・規則的配置のリファレンス (8×8)

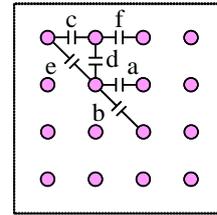
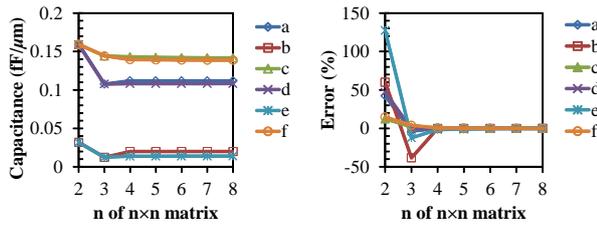


図 2-7 提案する同径・規則的配置 (4×4)



(a) 容量 ($p/d=2$) (b) 誤差 ($p/d=2$)

図 2-8 $n \times n$ 行列の容量と誤差

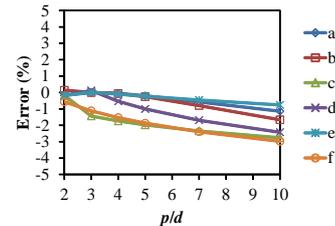


図 2-9 提案方法 (4×4 行列) の精度

2-5 TSV 間容量の重要性

(1) 各容量の比較

2本のTSVを例に、TSV間の各容量を比較する。図2-10に p/d を変化したときの2本のTSV間の容量比較を示す。解析条件として、TSV半径 $r=0.4(\mu\text{m})$ と $t_{ox}=0.1(\mu\text{m})$ のとき空乏層幅 $w_{dep}=0.685(\mu\text{m})$ 、比誘電率は、 $\epsilon_{ox}=3.9$ 、 $\epsilon_{Si}=11.9$ を用いた。この条件では、 C_{ox} 、 C_{dep} 、 C_{Si} の順に、容量値が大きい。図2-11に酸化膜厚 t_{ox} を変化させたときの2本のTSV間の容量比較を示す。酸化膜厚が厚くなるに従い、 C_{ox} は減少し、 C_{dep} が大きくなる。抵抗とインダクタンスを導通させたときのTSV間のトータル容量は以下となる。

$$C_T = \frac{1}{\frac{1}{2C_{ox}} + \frac{1}{2C_{dep}} + \frac{1}{C_{Si}}} \quad (2-9)$$

すなわち、 C_{Si} が極端に大きければトータル容量から無視可能だが、そうでない場合は影響を及ぼす。 C_{Si} が小さくなるに従い、トータル容量を小さくする効果がある。言い換えると、図2-10と図2-11から、三次元集積回路において、シリコン基板間結合容量 C_{Si} は遅延に影響する重要なパラメータであると言える。

(2) 伝搬モード

周波数やシリコン抵抗率によって伝搬モードが異なる。ここでは伝搬モードとして、準TEM (Quasi-TEM) モード、遅波 (Slow wave) モード、表皮効果 (Skin effect) モードを扱い、今回使用した構造等の条件における伝搬モードを議論する。準TEMモード領域が始まる特徴周波数 f_e 及び表皮効果モード領域が始まる特徴周波数 f_δ は以下となる。

$$f_e = \frac{1}{2\pi\epsilon_{Si}\rho_{Si}} \quad (2-10)$$

$$f_\delta = \frac{\rho_{Si}}{b^2\pi\mu_0} \quad (2-11)$$

$$b = p - 2(r + t_{ox} + t_{dep}) \quad (2-12)$$

図2-12に、式(2-10)～式(2-12)を用いて周波数とシリコン抵抗率による伝搬モードの領域を求めた結果を示す。シリコンの表皮深さ (例えば、シリコン抵抗率 $\rho_{Si}=10(\Omega \cdot \text{cm})$ で1 (THz)のとき、表皮深さ $\delta=16(\text{mm})$ はTSV間の距離 ($p/d=10$ 、 $r=0.4(\mu\text{m})$ 、 $t_{ox}=0.1(\mu\text{m})$ 、 $w_{dep}=0.685(\mu\text{m})$ のとき、式(2-12)より、 $b=5.6(\mu\text{m})$) よりも長いので、表皮効果は非常に高い周波数でしか生じない。シリコン抵抗率 $\rho_{Si}=10(\Omega \cdot \text{cm})$ のときの準TEMモードの特徴周波数は、式(2-10)から、 $f_e=15(\text{GHz})$ である。それより低い周波数では遅波モードとなる。

周波数が低い(遅波モード)場合、 C_{Si} よりも R_{Si} が支配的となり、 C_{Si} は無視可能となる。ここで R_{Si} は式(2-6)より求められる ($R_{Si}=1/G_{Si}$)。周波数が高い(準TEMモード)場合、 R_{Si} よりも C_{Si} が支配的となる。すなわち、 C_{Si} は高速信号伝送の設計に重要となる。

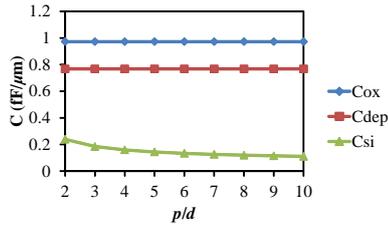


図 2-10 p/d を可変したときの容量比較

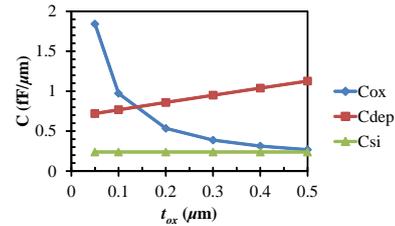


図 2-11 t_{ox} を可変したときの容量比較

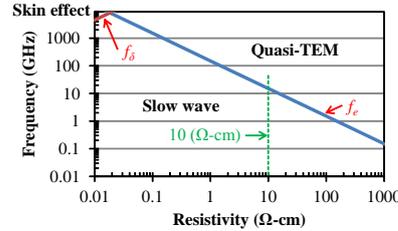


図 2-12 周波数—シリコン抵抗率のチャート

3 三次元集積回路の垂直方向伝搬遅延を評価するための効果的なモデル

3-1 寄生パラメータの計算

(1) TSV ベース三次元集積回路の全体構造のモデリング

図 3-1 に積層チップの断面構造の例を示す。その構造は、オンチップ、シリコン基板、コネクタの 3 つの部分に分かれる。図 3-2 に等価回路を示す。

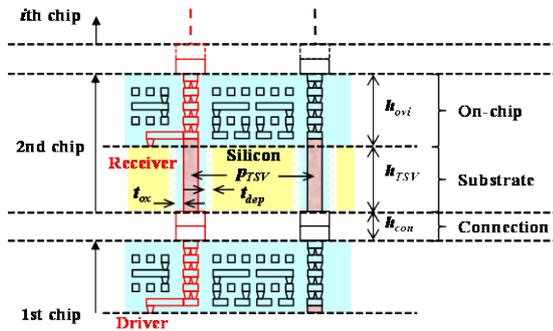


図 3-1 積層チップの構造モデル

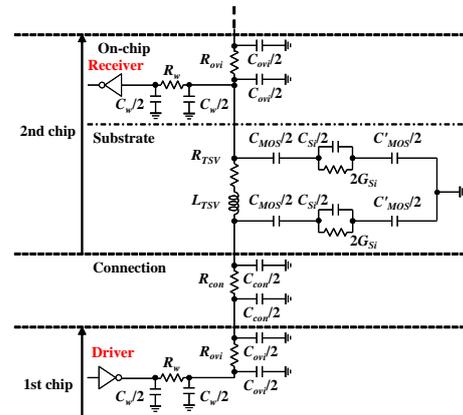


図 3-2 等価回路モデル

(2) オンチップ配線の寄生パラメータ

オンチップの垂直配線は多層配線とビアで形成され、半径 r_{ovi} と高さ h_{ovi} の円柱になると仮定する。図 3-3(a) に真上から見た構造を示す。その抵抗と容量は以下で表される[18]。

$$R_{ovi} = \frac{\rho_{ovi}}{\pi r_{ovi}^2} h_{ovi} \quad (3-1) \quad C_{ovi} = \frac{2\pi\epsilon_{ovi}}{\ln\left(\frac{1.079 r_{ovi} + s_{ovi}}{r_{ovi}}\right)} h_{ovi} \quad (3-2)$$

但し、 ρ_{ovi} は実効抵抗率、 ϵ_{ovi} は実効誘電率、 s_{ovi} はスペーシングである。図 3-3(b) は式(3-2)の電磁界解析との容量の誤差を示す。ドライバ/レシーバから垂直配線までの配線抵抗は以下で表される。

$$R_w = \frac{\rho_w}{\pi w t} l_w \quad (3-3)$$

但し、 ρ_w 、 w 、 t 、 l_w は配線の抵抗率、幅、厚み、長さである。その最大容量は図 3-4(a) で示されるように、最小スペーシングで密な配線のときに得られる。ITRS[1]によると、M1 と中間層配線のアスペクト比は、2013 年から 2028 年で $t/w=1.9\sim 2.3$ 、 $h/w=1.7\sim 2.2$ である。多変量回帰分析により、密配線の最大容量の式を求めた。

$$C_w = \varepsilon_{ovi} l_w \left(4 + 2 \frac{t}{w} - 0.43 \frac{h}{w} \right) \quad (3-4)$$

図 3-4(b)はポテンシャル分布を示す。その分布は上下左右の導体に囲まれる。図 3-4(c)は式(3-4)の誤差を示す。誤差は±0.3%以内で非常に高精度である。

(3) シリコン基板内の寄生パラメータ

TSV の抵抗とループインダクタンスは以下で計算できる[11, 16]。

$$R_{TSV} = \frac{\rho_{TSV}}{\pi r_{TSV}^2} h_{TSV} \quad (3-5) \quad L_{TSV} = \frac{\mu_0}{\pi} h_{TSV} \cosh^{-1} \left(\frac{p_{TSV}}{d_{TSV}} \right) \quad (3-6)$$

但し、 ρ_{TSV} 、 r_{TSV} 、 h_{TSV} は、TSV の抵抗率、半径、高さであり、 μ_0 は真空の透磁率、 p_{TSV} はピッチ、 d_{TSV} は TSV の直径である。酸化膜容量、空乏層容量、総容量は、以下を用いる[10, 11, 13, 16, 17]。

$$C_{ox} = \frac{2\pi\varepsilon_{ox}}{\ln\left(\frac{r_{TSV} + t_{ox}}{r_{TSV}}\right)} h_{TSV} \quad (3-7) \quad C_{dep} = \frac{2\pi\varepsilon_{Si}}{\ln\left(\frac{r_{TSV} + t_{ox} + t_{dep}}{r_{TSV} + t_{ox}}\right)} h_{TSV} \quad (3-8) \quad \frac{1}{C_{MOS}} = \frac{1}{C_{ox}} + \frac{1}{C_{dep}} \quad (3-9)$$

但し、 ε_{ox} と t_{ox} は酸化膜の誘電率と酸化膜厚、 t_{dep} は空乏層幅である。グラウンド TSV の空乏層容量を無視する[13]と、異なった半径の 2 つの円間の容量は以下で表される[19]。

$$C_{Si} = \frac{2\pi\varepsilon_{Si}}{\cosh^{-1}\left(\frac{p_{TSV}^2 - r_1^2 - r_2^2}{2r_1 r_2}\right)} h_{TSV} \quad (3-10)$$

但し、 ε_{Si} はシリコンの誘電率、 r_1 と r_2 は 2 つの円の半径である。また、以下の式も提案されている[19]。

$$C_{Si}' = \frac{2\pi\varepsilon_{Si}}{\ln\left(\frac{p_{TSV}}{r_1 r_2}\right)} h_{TSV} \quad (3-11) \quad C_{Si}'' = \frac{2\pi\varepsilon_{Si}}{\ln\left(\left(\frac{p_{TSV} - r_1}{r_1}\right)\left(\frac{p_{TSV} - r_2}{r_2}\right)\right)} h_{TSV} \quad (3-12)$$

上記した式(3-10)～式(3-12)の精度を調査した。式(3-10)の誤差は、±0.3%以内と高精度なため、式(3-10)を遅延式の作成に使用した。コンダクタンスは以下で表される (σ_{Si} はシリコンの導電率)。

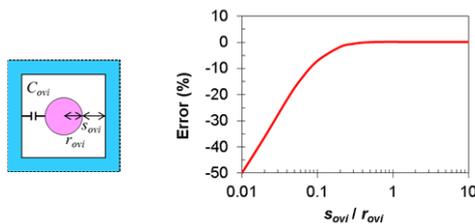
$$G_{Si} = \frac{\sigma_{Si}}{\varepsilon_{Si}} C_{Si} \quad (3-13)$$

(4) チップ間接合部の寄生パラメータ

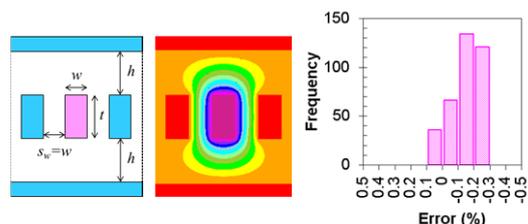
チップ間接合は円柱のコネクタとしてモデル化し、その抵抗と容量は以下で計算できる。

$$R_{con} = \frac{\rho_{con}}{\pi r_{con}^2} h_{con} \quad (3-14) \quad C_{con} = \frac{2\pi\varepsilon_{con}}{\cosh^{-1}\left(\frac{p_{con}^2 - r_{con,1}^2 - r_{con,2}^2}{2r_{con,1} r_{con,2}}\right)} h_{con} \quad (3-15)$$

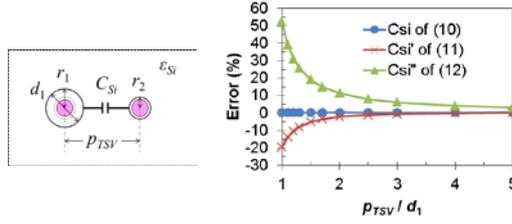
但し、 ρ_{con} 、 r_{con} 、 h_{con} は接続部の抵抗率、半径、高さである。 ε_{con} は誘電率、 p_{con} は p_{TSV} と等しく、 $r_{con,1}$ と $r_{con,2}$ は 2 つのコネクタの半径である。



(a) 垂直配線モデル (b) 式の誤差
図 3-3 式(3-2)の精度



(a) 断面構造 (b) ポテンシャル分布 (c) 式の誤差
図 3-4 式(3-4)の精度



(a) 構造 (b) 各式の誤差
図 3-5 容量式の精度比較

3-2 提案する遅延モデル

(1) 遅延式

提案する遅延式は、1) 3D IC の典型的構造を定義し、2) 典型的遅延を求め、3) 各関数の係数を求めることによって得られる。関数は一次か二次で近似し、各関数の値は典型的条件のときに、1 となる。

$$\frac{T_d}{T_{d,typ}} = \prod_{i=1}^n f_i(v_i) \quad (3-16) \quad f_j(v_j) = a_j v_j^2 + b_j v_j + c_j \quad (3-17) \quad f_k(v_k) = b_k v_k + c_k \quad (3-18)$$

但し、 $T_{d,typ}$ は典型的遅延、 $f_i(v_i)$ は変数 v_i の関数、 v_i はパラメータ p_i か、その逆数 $1/p_i$ 、 n はパラメータの数である。13 個のプロセス&物理パラメータを用い、その遅延式は以下で表現する。

$$\begin{aligned} \frac{T_d}{T_{d,typ}} = & \left(b_{h_{ovi}} h_{ovi} + c_{h_{ovi}} \right) \times \left(a_{s_{ovi}} \left(\frac{1}{s_{ovi}} \right)^2 + b_{s_{ovi}} \frac{1}{s_{ovi}} + c_{s_{ovi}} \right) \times \left(b_{drv} \frac{1}{drv} + c_{drv} \right) \times \left(b_{\#RCVs} \#RCVs + c_{\#RCVs} \right) \\ & \times \left(a_{l_{RCV}} l_{RCV}^2 + b_{l_{RCV}} l_{RCV} + c_{l_{RCV}} \right) \times \left(b_{t_{in}} t_{in} + c_{t_{in}} \right) \times \left(b_{h_{TSV}} h_{TSV} + c_{h_{TSV}} \right) \times \left(b_{d_{TSV}} d_{TSV} + c_{d_{TSV}} \right) \\ & \times \left(a_{t_{ox}} t_{ox}^2 + b_{t_{ox}} t_{ox} + c_{t_{ox}} \right) \times \left(a_{p_{TSV}} \left(\frac{1}{p_{TSV}} \right)^2 + b_{p_{TSV}} \frac{1}{p_{TSV}} + c_{p_{TSV}} \right) \\ & \times \left(b_{h_{con}} h_{con} + c_{h_{con}} \right) \times \left(a_{d_{con}} d_{con}^2 + b_{d_{con}} d_{con} + c_{d_{con}} \right) \times \left(b_{\#chips} \#chips + c_{\#chips} \right) \end{aligned} \quad (3-19)$$

(2) 遅延式の係数と精度

典型的遅延と各関数の係数は、ITRS[1] 記載の 2021 年配線寸法と 16nm FinFET テクノロジー[20]を用いた回路シミュレーション (Synopsys HSPICE) により求めた。表 3-1 にそのパラメータを示す。典型的遅延は $T_{d,typ}=57.0$ (ps)であった。表 3-2 は各関数の係数を示す。決定係数 (R^2) は非常に高いことがわかる。

表 3-1 提案モデルに使用したパラメータ

Part	Param	Typ	Range	Description
On-chip	h_{ovi} (μm)	2	1~5	On-chip vertical interconnect height
	s_{ovi} (μm)	1	0.1~3	Spacing between on-chip vertical interconnect and general interconnects
	drv	$\times 4$	$\times 1 \sim \times 16$	Drivability where $\times 1$ is $W/L=60\mu\text{m}/20\mu\text{m}$
	$\#RCVs$	1	1~8	Number of receivers in each chip
	l_{RCV} (μm)	2	1~10	Interconnect length between vertical interconnect and driver/receivers
	t_{in} (ps)	20	1~100	Driver's input transition time (0-100%)
Substrate	h_{TSV} (μm)	10	5~20	TSV height
	d_{TSV} (μm)	0.8	0.2~0.8	TSV diameter
	t_{ox} (μm)	0.1	0.01~0.1	Oxide thickness surrounding TSV
	p_{TSV} (μm)	2	2~5	TSV-to-TSV pitch
Other	h_{con} (μm)	2	1~8	Effective height of connectors such as bumps
	d_{con} (μm)	1.2	0.8~1.6	Connector diameter
	$\#chips$	10	5~50	Number of stacked chips

表 3-2 各関数の係数

No.	Var.	Deg.	Coefficient			R ²
			a	b	c	
1	h_{ovi}	1	---	4.45×10^{-2}	9.11×10^{-1}	1.000
2	$1/s_{ovi}$	2	-1.22×10^{-3}	4.76×10^{-2}	9.52×10^{-1}	1.000
3	$1/d_{rv}$	1	---	3.67×10^0	9.74×10^{-2}	1.000
4	#RCVs	1	---	1.33×10^{-1}	8.70×10^{-1}	1.000
5	l_{RCV}	2	3.95×10^{-3}	4.90×10^{-2}	8.84×10^{-1}	1.000
6	h_{TSV}	1	---	6.74×10^{-2}	3.31×10^{-1}	1.000
7	d_{TSV}	1	---	7.12×10^{-1}	4.29×10^{-1}	1.000
8	t_{ox}	2	4.88×10^1	-1.11×10^1	1.63×10^0	0.998
9	$1/p_{TSV}$	2	-6.11×10^{-1}	1.02×10^0	6.44×10^{-1}	0.999
10	h_{con}	1	---	2.44×10^{-2}	9.51×10^{-1}	1.000
11	d_{con}	2	4.47×10^{-2}	-5.42×10^{-2}	1.00×10^0	0.998
12	t_{in}	1	---	3.17×10^{-3}	9.37×10^{-1}	0.999
13	#chips	1	---	9.46×10^{-2}	4.60×10^{-2}	1.000

3-3 適用例

提案した遅延モデルは、パラメータの最適化、感度解析、ばらつき解析のように様々な目的のために利用できる。図 3-6 に遅延解析した結果の例を示す。遅延への影響を簡単に知ることができる。図 3-7 は感度解析した結果である。感度の高いパラメータが図 3-7(a)、低いパラメータが図 3-7(b)に示される。

提案モデルはばらつき解析にも利用できる。遅延標準偏差は各変数の標準偏差から容易に求めることができる。誤差伝播の法則から、遅延の分散は以下で近似される。

$$\sigma_{T_d}^2 \cong \left(\frac{\partial T_d}{\partial p_i} \right)^2 \sigma_{p_i}^2 \quad (3-20)$$

但し、 p_i は表 3-1 に示されるパラメータの一つである。例えば、TSV の高さのみが変動するとき、HSPICE モンテカルロ解析(1,000 回試行)で遅延標準偏差は 3.81 (ps)であった。式(3-20)から求めた標準偏差は 3.84 (ps)である。図 3-8 に幾つかのパラメータの標準偏差の比較結果を示す。提案モデルによる結果は HSPICE シミュレーションと非常に良く一致する。このように、提案モデルはパラメータ変動の遅延変動への効果を見積もるためにも利用できる。

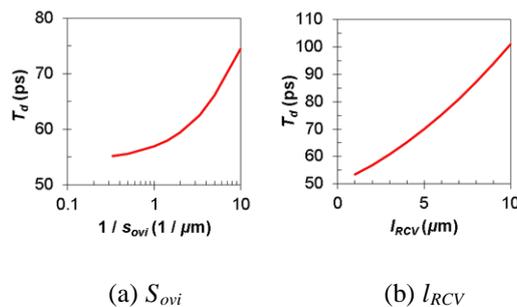


図 3-6 遅延解析の例

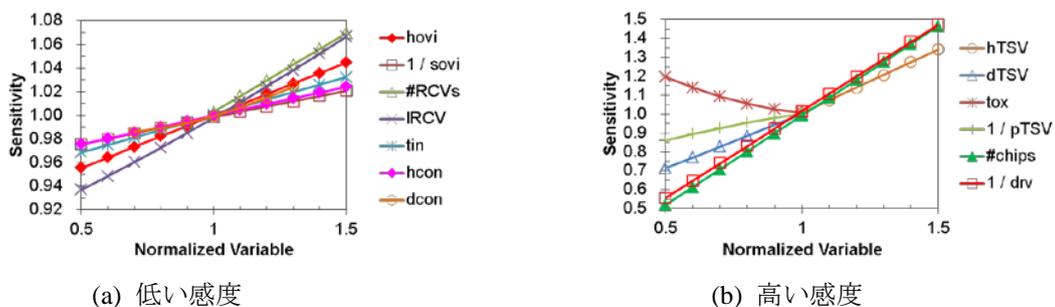


図 3-7 感度解析結果

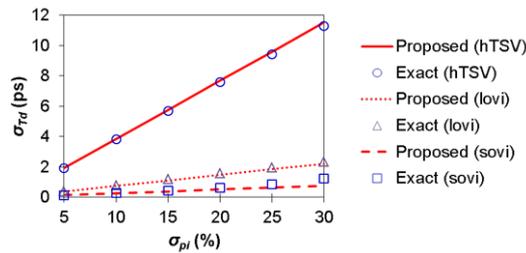


図 3-8 遅延標準偏差の比較

4 まとめ

インダクタンス逆行列による容量算出方法の精度を明らかにし、同径・規則的配置の最適な最小サイズを提案した。インダクタンス逆行列は、貫通シリコンビア（TSV）を用いた三次元集積回路において、膨大な数の TSV のシリコン基板間結合容量を、非常に時間を要する電磁界解析ツールを使用せずに、数式で高速に求めることができるので有効である。大規模同径・規則的配置な場合に、4×4 の 16 本の TSV を用いてインダクタンス行列を用いることで、高速に十分な精度が得られることを提案した。

さらに、TSV ベース 3D IC の垂直方向の伝搬遅延を評価する効果的なモデルを開発した。それは、1)オンチップ、基板、接続部から構成され、2)電氣的等価モデルの RLGC 全てが式で計算でき、3)プロセス/設計パラメータの関数に基づいた遅延モデルである。その遅延モデルは回路シミュレーションと非常に良く一致する。感度解析の結果、ドライバビリティ、チップ数、TSV の高さと直径、酸化膜厚は伝搬遅延に大きく影響を及ぼすことを示した。その遅延モデルは誤差伝播法則を用いることで、ばらつき解析にも利用できる。

【参考文献】

- [1] The International Technology Roadmap for Semiconductors (ITRS), 2013. [Online]. Available: <http://www.itrs.net/>
- [2] T.-Y.Cheng, C.-D. Wang, Y.-P. Chiou, and T.-L. Wu, "A new model for through-silicon vias on 3-D IC using conformal mapping method," *IEEE Microw. Wireless Compon. Lett.*, vol.22, no.6, pp.303-305, 2012.
- [3] R.-Bo Sun, C.-Yi Wen, and R.-B. Wu, "Passive equalizer design for through silicon vias with perfect compensation," *IEEE Trans. Compon. Packag. Manuf. Technol.*, vol.1, no.11, pp.1815-1822, 2011.
- [4] A.E. Engin and S.R. Narasimhan, "Modeling of crosstalk in through silicon vias," *IEEE Trans. Electromagnetic Compatibility*, vol.55, no.1, pp.149-158, 2013.
- [5] C.R. Paul, "Prediction of crosstalk in ribbon cables: Comparison of model predictions and experimental results," *IEEE Trans. Electromagnetic Compatibility*, vol.EMC-20, no.3, pp.394-406, 1978.
- [6] Y. Peng, T. Song, D. Petranovic, and S.K. Lim, "On accurate full-chip extraction and optimization of TSV-to-TSV coupling elements in 3D ICs," *Proc. ICCAD*, pp.281-288, 2013.
- [7] T. Song, C. Liu, Y. Peng, and S.K. Lim, "Full-chip multiple TSV-to-TSV coupling extraction and optimization in 3D ICs," *Proc. DAC*, pp.1-7, 2013.
- [8] De.-C. Yang, J. Xie, M. Swaminathan, X.-C. Wei, and Er-P. Li, "A rigorous model for through-silicon vias with ohmic contact in silicon interposer," *IEEE Microw. Wireless Compon. Lett.*, vol.23, no.8, pp.385-387, 2013.
- [9] R. Weerasekera, M. Grange, D. Pamunuwa, H. Tenhunen, and L.-R. Zheng, "Compact modelling of through-silicon vias (TSVs) in three-dimensional (3-D) integrated circuits," *Proc. 3DIC*, pp.1-8, 2009.
- [10] K. Salah, H. Ragai, and Y. Ismail, "A macro-modeling approach for through silicon via," *Proc. EUROCON*, pp.1869-1872, 2013.
- [11] C. Xu, H. Li, R. Suaya, and K. Banerjee, "Compact AC modeling and performance analysis of through-silicon vias (TSVs) in 3-D ICs," *IEEE Trans. Electron Devices*, vol.57, no.12, pp.3405-3417, 2010.
- [12] G. Katti, M. Stucchi, K. De Meyer, and W. Dehaene, "Electrical modeling and characterization of through silicon via for three-dimensional ICs," *IEEE Trans. Electron Devices*, vol.57, no.1, pp.256-262, 2010.
- [13] G. Katti, M. Stucchi, D. Velenis, B. Soree, K. De Meyer, and W. Dehaene, "Temperature-dependent modeling and characterization of through-silicon via capacitance," *IEEE Electron. Device Lett.*, vol.32, no.4, pp.563-565, 2011.
- [14] T. Bandyopadhyay, K.J. Han, D. Chung, R. Chatterjee, M. Swaminathan, and R. Tummala, "Rigorous electrical modeling of through silicon vias (TSVs) with MOS capacitance effects," *IEEE Trans. Compon. Packag. Manuf. Technol.*, vol.1, no.6, pp.893-903, 2011.

- [15] I. Ndip, B. Curran, K. Lobbicke, S. Guttowski, H. Reichl, K.-D. Lang, and H. Henke, "High-frequency modeling of TSVs for 3-d chip integration and silicon interposers considering skin-effect, dielectric quasi-TEM and slow-wave modes," *IEEE Trans. Compon. Packag. Manuf. Technol.*, vol.1, no.10, pp.1627-1641, 2011.
- [16] I. Ndip, K. Zoschke, K. Löbbicke, K.-D. Lang, and H. Henke, "Analytical, numerical-, and measurement-based methods for extracting the electrical parameters of through silicon vias (TSVs)," *IEEE Trans. Compon. Packag. Manuf. Technol.*, vol.4, no.3, pp.504-515, Mar. 2014.
- [17] S. Manoj, H. Yu, Y. Shang, C.S. Tan, and S.K. Lim, "Reliable 3-D clock-tree synthesis considering nonlinear capacitive TSV model with electrical-thermal-mechanical coupling," *IEEE Trans. Comput.-Aided Design Integr. Circuits Syst.*, vol.32, no.11, pp.1734-1747, Nov. 2013.
- [18] A.M. Milovanovic and M.M. Bjekic, "Approximate calculation of capacitance of lines with multilayer medium," *Journal of Electrical Engineering*, vol.62, no.5, pp.249-257, Sep. 2011.
- [19] Y.Y. Iossel, E.S. Kochanov, and M.G. Strunskiy, The Calculation of Electrical Capacitance, Wright-Patterson AFB, Ohio, 1971.
- [20] Predictive Technology Model (PTM). [Online]. Available: <http://ptm.asu.edu>

〈発表資料〉

題名	掲載誌・学会名等	発表年月
インダクタンス逆行列を用いた三次元集積回路の貫通シリコンビア間結合容量抽出	電気学会 論文誌C	2015年7月
Scan test of latch-based asynchronous pipeline circuits under 2-phase handshaking protocol	Proc. of the Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI)	2015年3月
ウィンドウベースL逆行列によるTSV間容量抽出	電子情報通信学会 総合大会 講演論文集	2015年3月
An effective model for evaluating vertical propagation delay in TSV-based 3-D ICs	Proc. of the International Symposium on Quality Electronic Design (ISQED)	2015年3月
Modeling of substrate contacts in TSV-based 3D ICs,	Proc. of the IEEE International Conference on 3D System Integration (3DIC)	2014年12月
Effect of substrate contacts on reducing crosstalk noise between TSVs	Proc. of the IEEE Asia Pacific Conference on Circuit and Systems (APCCAS)	2014年11月
Impact of on-chip interconnects on vertical signal propagation in 3D ICs	Proc. of the IEEE Asia Pacific Conference on Circuit and Systems (APCCAS)	2014年11月
インダクタンス逆行列を用いた三次元集積回路の貫通シリコンビア間結合容量抽出	電気学会 電子・情報・システム部門大会 講演論文集	2014年9月
高速通信非同期式回路における多入力調停回路の構成方式に関する考察	電気学会 電子・情報・システム部門大会 講演論文集	2014年9月
2Phase ハンドシェイクプロトコルに基づく非同同期式回路のスキヤンテスト	電気学会 電子・情報・システム部門大会 講演論文集	2014年9月
Substrate contact effect on TSV-to-TSV coupling	Proc. Tohoku-Section Joint Convention of Institutes of Electrical and Information Engineers (IEEE Student Session)	2014年8月
Modeling and analysis of vertical interconnects in 3D ICs	Proc. Tohoku-Section Joint Convention of Institutes of Electrical and Information Engineers (IEEE Student Session)	2014年8月