耐ソフトエラーLSI 設計技術に関する研究

研究代表者　　史　又華　　早稲田大学　基幹理工学部　教授

1 まえがき

現代社会では日々の生活の中に情報システムが密接にかかわっている。それら情報システムは、多くの集積回路（LSI：Large Scale Integration）を搭載している。そのため、情報システムの信頼性は LSI の信頼性に大きく依存しており、現代社会の利便性・安全性確保には LSI の信頼性が重要であるといえる。しかし、近年の LSI の微細化によって、回路面積と共に、回路の臨界電荷量（キャパシタ成分）も低下している。放射線によって集積回路中の記憶素子（メモリセルやラッチ・フリップフロップ）が反転する一時的な誤動作（＝ソフトエラー）が増加しており、 LSI の信頼性の低下に対する懸念が高まっている。

永久的に回復のできない物理故障によるハードエラーとは異なり、ソフトエラーは一時的なエラーであり、時間が経てば正常動作へと回復する。しかし、ソフトエラーによって回路中の信号が反転したまま、回路が動作を続けた場合、システムに大きな障害を引き起こすことがある。以前は放射線の多い宇宙空間で稼働する衛星などの宇宙機器での問題であった。近年、地上でもソフトエラーが原因の故障が顕在化し、 サーバやスーパーコンピュータ向けの LSI ではソフトエラーの対策が必須となっている。また人命に関わる医療機器や自動車のブレーキ制御等、多少のミスも許されない分野でも高いソフトエラー耐性が必要である。LSI の信頼性向上のために、ソフトエラー耐性をもつ集積回路設計技術の研究が急務である。

本研究は LSI の信頼性への脅威である「ソフトエラー」に注目し、「耐ソフトエラーLSI 設計技術」に関する研究を行った。既存ソフトエラー対策の最大の問題点は、多重化によりソフトエラーは検出できるが、面積・時間・消費電力の面で極めて大きなオーバーヘッドを要することである。従来技術の本質的な問題点を別の角度から見ると、回路中の信号を利用・比較することによりソフトエラーを検出できれば、この問題を解決する糸口なると考えられる。そこで、本研究では回路の多重化によるソフトエラーの検出でなく、回路中の信号を利用・比較することによりソフトエラーを検出・回復することとなり、既存多重化に基づいた設計の問題点を解決する技術として、ソフトエラー耐性もつ小面積・低消費電力 LSI 設計技術を確立した。

本研究で開発した耐ソフトエラーLSI 設計技術は、原理的には、SRAM 回路にも適用可能である。本研究の成果は、大規模集積システムの信頼性・安全性を保証する基盤技術を確立することで、ソフトエラーの課題を克服してあらゆるシステムの信頼性・安全性が向上し、特に金融取引・ヘルスケアや宇宙航空用電子デバイスへの適用が期待できる。

2 関連研究

2.1　ソフトエラー

半導体集積回路で発生するエラーには、ハードエラーとソフトエラーの 2 種類が存在する。ハードエラーとは、物理的破損等によるエラーであり、一度発生した場合、回路を取り替える等の対策をしない限り、エラーから回復することはできない。一方、ソフトエラーとは宇宙線・放射線起因のエラーである。宇宙から地上へ電子、陽子、中性子、 粒子といった様々な粒子が降っている。その中でも中性子は粒子の半径が非常に小さいため、建物をすり抜け、回路をすり抜け、最悪の場合ソフトエラーを発生させてしまう。地上におけるソフトエラーの主要因は高エネルギー中性子と言われているが、微細化に伴い粒子起因や熱中性子起因のソフトエラーの割合が増加している。

ソフトエラーの発生は図 1 に示す。粒子が回路に衝突した場合、自身のエネルギーを失う代わりに電子ー正孔対が生成される。過剰なキャリアはトランジスタの P/N 拡散層端子に集まる。ここで発生した電子 $Q_{collected}$ は NMOS トランジスタへ、正孔は PMOS トランジスタへそれぞれ収集される。収集された電荷が回路の臨界電荷量 Q_{crit} を上回った場合にデータが反転する。つまり、NMOS トランジスタでは 1 から 0 へ、PMOS トランジスタでは 0 から 1 へのデータの反転が行われる。ソフトエラーは一度発生すると一時的にメモリの値が 0 から 1、または 1 から 0 へと反転し、回路に誤作動を起こしてしまう。しかし、回路自体が破壊されるわけではなく、一時的に値が反転するだけのエラーのため、回路機構の工夫等により回復することができる。

近年の微細化に伴い、回路のもつ臨界電荷量が急激に低下し、わずかな電荷量でもソフトエラーが発生するようになってしまった。以来、ソフトエラー問題は、複雑化の一途をたどり、将来的にも予測困難な問題になりつつあるといえる[1]。つまり、ソフトエラーは微細化の発展の妨げになっているといえる。

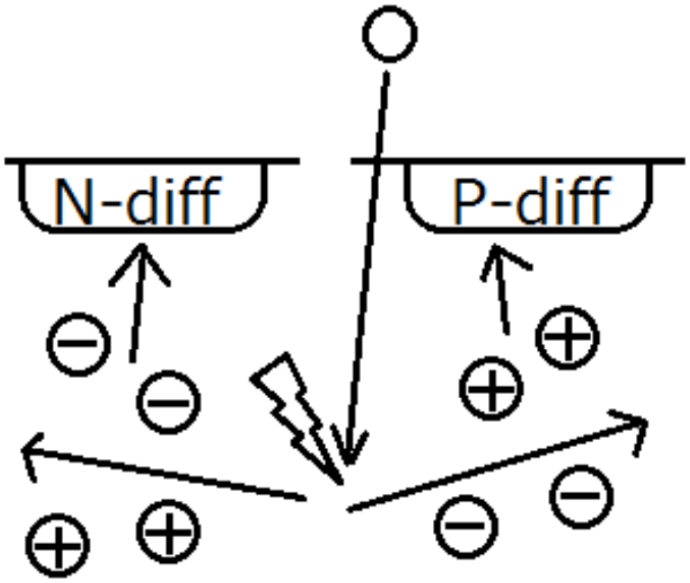
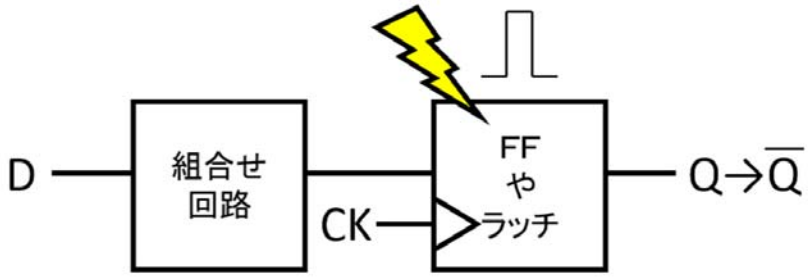
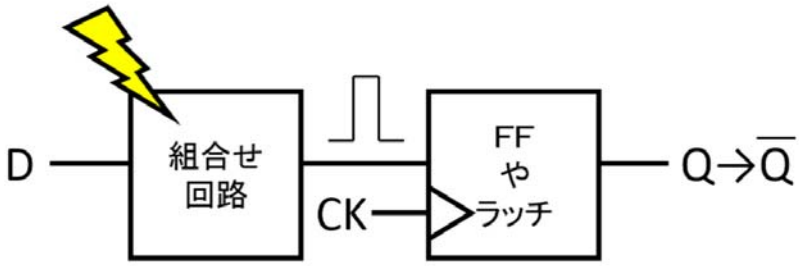


図１．ソフトエラーの発生

ソフトエラーには Single Event Upset(SEU) と Single Event Transient(SET) の 2 つに分類することができる（図 2 参照)。その中の SEU は放射線がラッチ等のメモリ素子に衝突し、保持データを反転させてしまうエラーである[2]。従来、ソフトエラーは SRAM や DRAM において大きく研究がなされていたが、微細化の進行や動作周波数の上昇によって組合せ回路においても懸念材料の一つとなった[3]。以降、組合せ回路におけるソフトエラーは微細化に伴い、避けては通れぬ問題となった。



(a) Single Event Upset(SEU)



(b) Single Event Transient(SET)

図 2.　SEU と SET

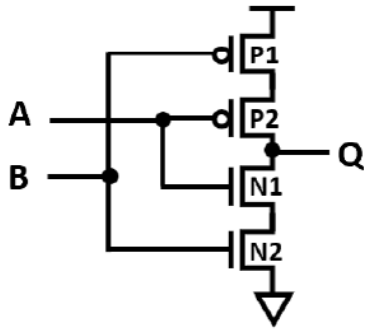
2.2 既存の耐ソフトエラー設計技術

「ソフトエラー対策」に関する研究は、これまで国内外でいくつか見られ、例えば DICE[4]、回路の三重化[5]、フリップフロップの二重化[6]などがある。

DICE [4]はラッチの持つインバータ 2 段によるループ構造をインバータ 4 段で構成した回路である。インバータを構成する nMOS トランジスタと pMOS トランジスタの入力をそれぞれ別々のインバータの出力に接続している。1 つのインバータが放射線によって反転しても、次段のインバータを構成するトランジスタの片方の入力が反転するだけである。そのため次段の出力は中間電位となり、さらに次段のインバータでは正しい値が保たれる構造となっている。DICE は他のソフトエラー耐性をもつ設計と比べ、低電力・小面積といった長所をもつ。DICE は現在、Intel 社等で用いられ、比較的研究が進められている技術である。しかし、DICE は他のソフトエラー耐性技術と比べ、エラー耐性が低いという短所をもつ。

三重化回路[5]は 3 つのフリップフロップの出力を多数決回路(voter)に接続した構造となっている。三重化回路の出力は 3 つのフリップフロップの保持データの多数決によって決定されるため、ソフトエラーによって 1 つのフリップフロップの保持データが反転しても正しい値が出力される。三重化フリップフロップはソフトエラーに対して耐性を持ち、1 クロック周期の間に 2 つのフリップフロップが反転しない限りエラーとならない。しかし、面積や消費電力の増加は通常のフリップフロップの 3 倍以上となる。

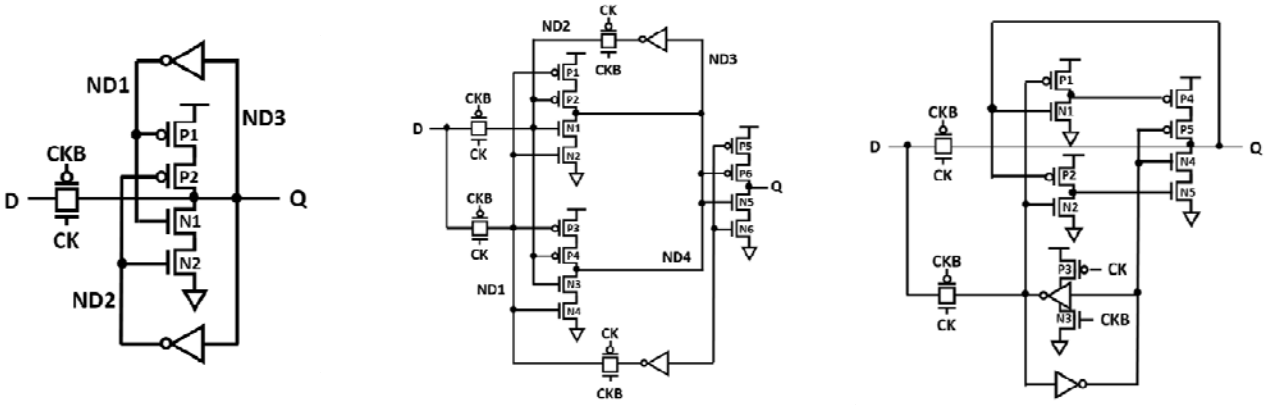
二重化フリップフロップ(BISER) [6]は C 素子(C-element) と weak keeper を用いて構成されている。BISER は面積・消費電力の面で三重化フリップフロップよりも性能が良い。しかし、BISER では C 素子の出力が直接 2 つのスレイブラッチの入力に接続されている。マスターラッチとスレイブラッチの間に存在する C 素子でソフトエラーが生じた場合は、 2 つのスレイブラッチの入力が同時に反転してエラーとなりやすい。つまり、BISER はフリップフロップ内部で発生するソフトエラー に対して脆弱である。また、BISER では weak keeper を用いているため、ばらつきに弱い。ばらつきは低電圧で増加するため、 BISER は低電圧では動作し難いという欠点を持つ。



A	B	Q
0	0	1
0	1	keeping
1	1	0
1	0	keeping

図 3. C-element と真理値表

さらに、近年では、2 つの入力が一致した時に出力を行う C-element を使用し、ソフトエラーから回復する耐ソフトエラーラッチの設計も提案されてきた。例えば、TFH ラッチ[7]、FERST ラッチ[8]、HiPeR ラッチ[9]などが挙げられる。C-element の回路図と真理値表を図 3 に示す。真理値表により、入力 A=0 かつ B=0 の場合はトランジスタ P1 と P2 がオンとなり、1 が出力される。しかし、A=0 かつ B=1 の場合は P1 がオン、N2 がオフとなり、Q の値は更新されない。つまり、出力 Q では以前の値が維持される。A と B の入力が同等の場合は反転値が Q へと伝搬し、A と B の入力が異なる場合は Q が以前の値を維持し続けることとなる。既存 C-element を用いた耐ソフトエラーラッチ設計 (TFH ラッチ[7]、FERST ラッチ[8]、HiPeR ラッチ[9]) は図 4 に示す。各ラッチ設計に関して、ソフトエラーを起こさない状態(通常動作)でトランジスタレベルシミュレーションを行った。シミュレーションで得られた面積・通常動作時の電力・遅延の測定結果には、HiPeR ラッチ[9]は電力が一番大きい結果となった。トランジスタ数は FERST ラッチ[8]が一番多いが、HiPeR ラッチ[9]は値の切り替え時にノードの値が不安定になることなどが電力増加の原因の一つとして考えられる。遅延に関しては、FERST ラッチ[8]が一番大きい結果となった。他のラッチは値を比較的ストレートに入力から出力まで伝搬することができるが、FERST ラッチに関しては、一度 C-element で値の比較を行った後、比較された値を再び C-element で比較をするといった二重構造になっているため、遅延オーバーヘッドが異常に大きい。



(a) TFH latch[7]　　(b) FERST latch[8]　　(c) HiPeR latch[9]

図 4. 既存 C-element を用いた耐ソフトエラーラッチ設計

以上により、既存ソフトエラー対策の最大の問題点は、多重化によりソフトエラーは検出できるが、面積・時間・消費電力の面で極めて大きなオーバーヘッドを要することである。

3 耐ソフトエラーラッチ設計の提案と実装評価

本研究では、Schmitt-Trigger-Based C-Element を使用した耐ソフトエラーラッチ、Soft error Hardened with C-element(SHC) ラッチを提案した。特に、ラッチの脆弱部分に注目し、多重化によるソフトエラーの検出でなく、ラッチ中の信号を利用・比較することによりソフトエラー検出・回復できる耐ソフトエラーラッチの提案・実装・評価を行った。

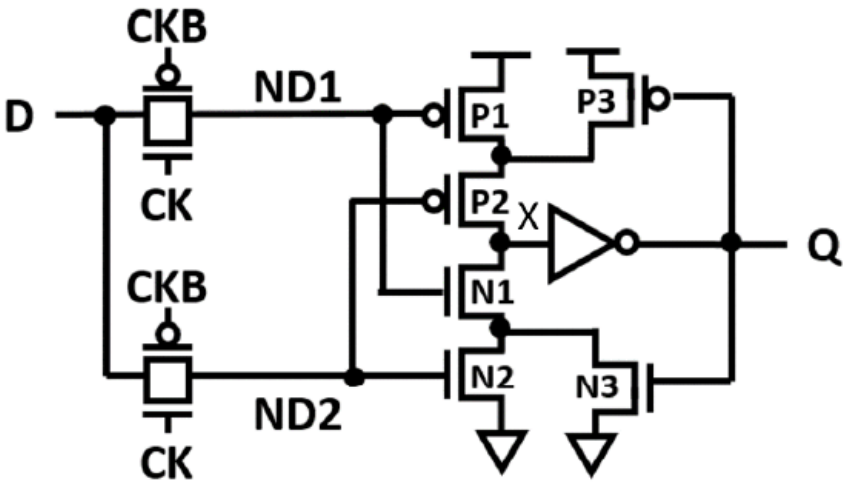


図 5. 提案 Soft error Hardened with C-element (SHC) ラッチ

提案 SHC ラッチを図 5 に示す。SHC のトランジスタ数は 14 個である (CKB 生成用 Inverter を含む)。通常時、入力はトランスミッションゲートを通り、C-element で比較を行った後、通常ラッチのように動作する。P3/N3 は回路の値を保持するフィードバックループのために追加した。ND1 でエラーが発生した場合、C-element が停止し、ND1 がエラーから回復することはないが、出力に影響はない。さらに、フィードバックループの値が入力されるため、次の値更新時まで以前の値がそのまま保持される。ND2 でエラーが発生した場合も同様である。また、Q でエラーが発生した場合、一度はエラーがそのまま出力されるが、C-element の出力を参照することで直ちにエラーから回復できる。提案 SHC ラッチの通常動作時の出力波形を図 6 に示す。波形の図からわかる通り、通常動作時は通常のラッチと同様の動作を行っていることがわかる。

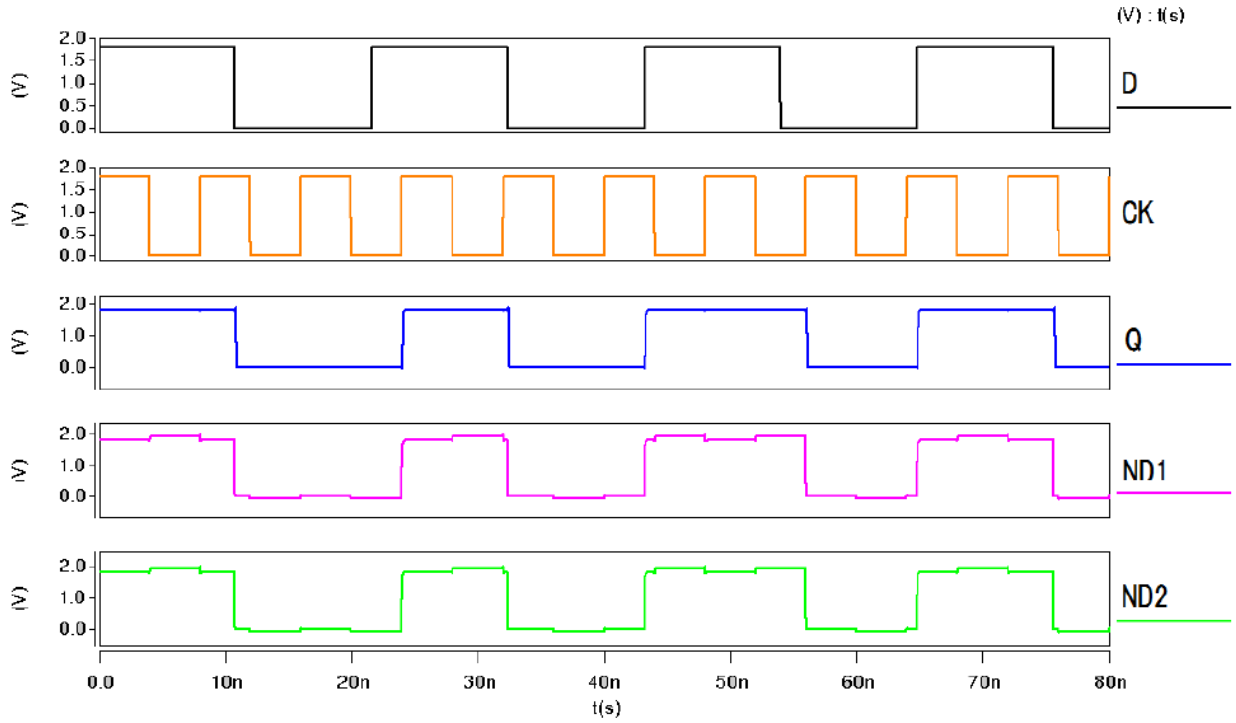


図 6. 通常動作時提案 SHC ラッチの波形

提案ラッチである SHC ラッチを実装し、ソフトエラーを起こさずにトランジスタ・シミュレーションを行った。シミュレーションで得られた、必要なトランジスタ数（面積相当）、D-Q 遅延、CK-Q 遅延結果、setup time、 hold time 及び臨界電界量等を表 1 に示す。表 1 より、既存多重化による耐ソフトエラーラッチと比べ、提案 SHC ラッチはトランジスタ数が一番少ないことが確認できた。消費電力に関しては、既存研究と比較し、最大で 82.96%の電力削減を達成した（表 2 参照）。これは、SHC ラッチは既存ラッチと比べ、トランジスタ数が少ないことが理由として挙げられる。さらに、遅延に関しては、提案 SHC ラッチは通常ソフトエラー耐性なしの C^2MOS ラッチとほぼ同じ程度であることが確認できた。

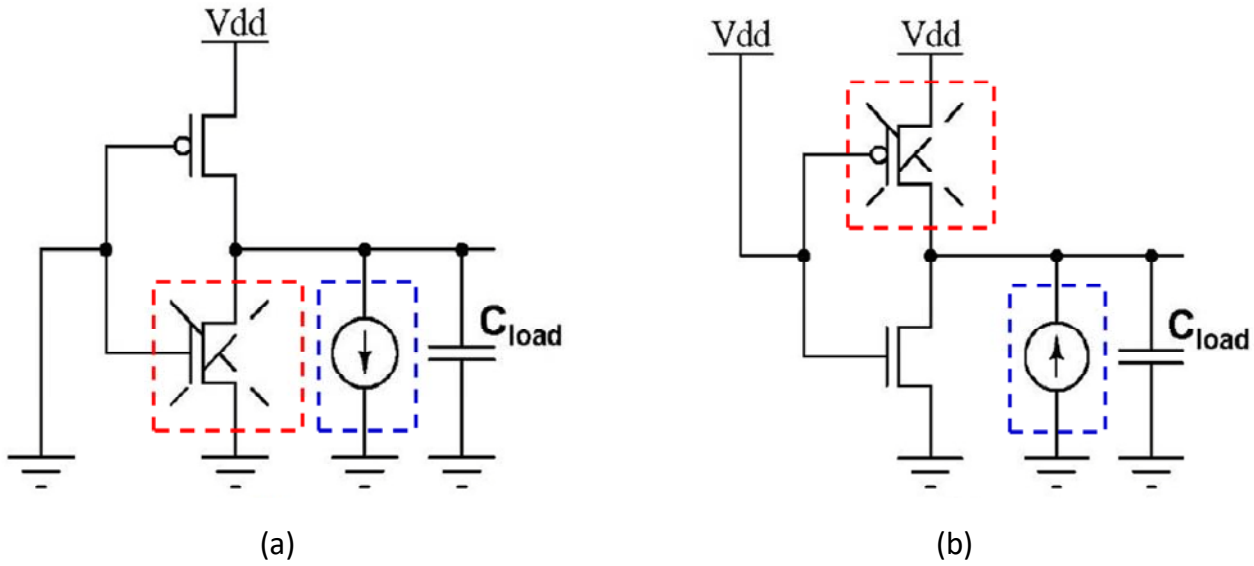
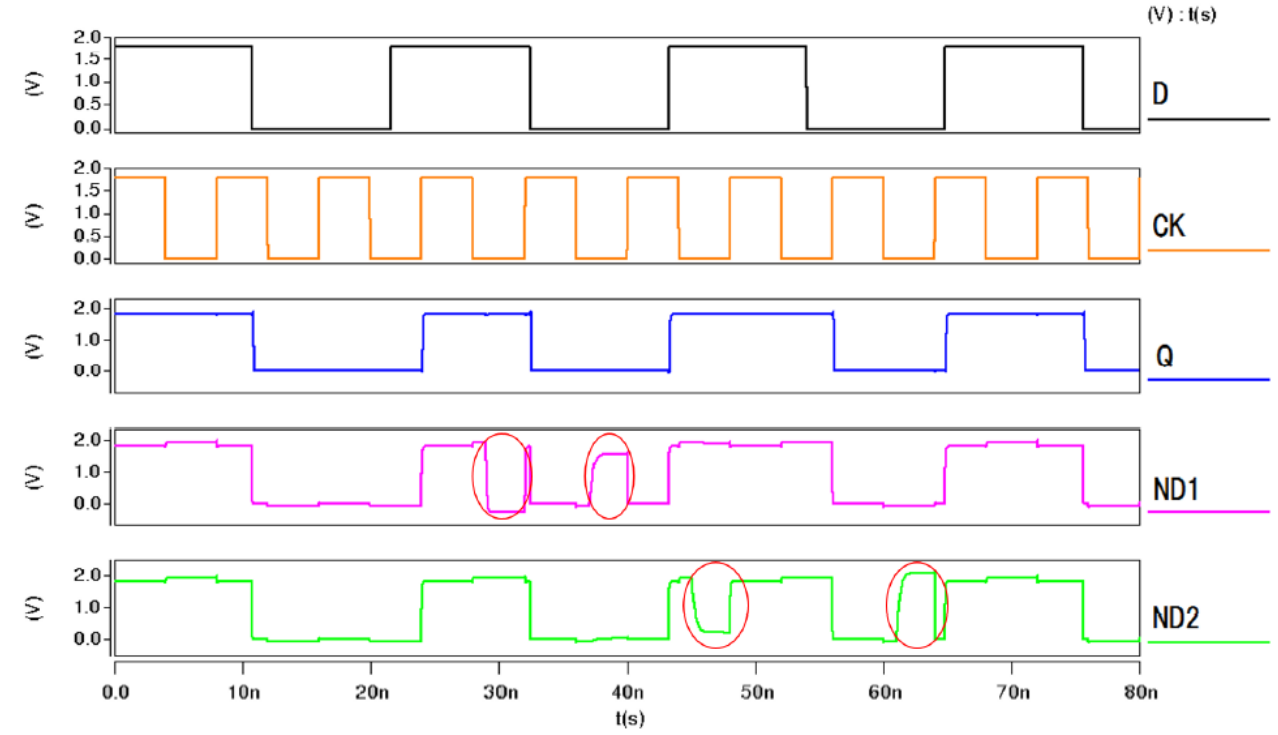
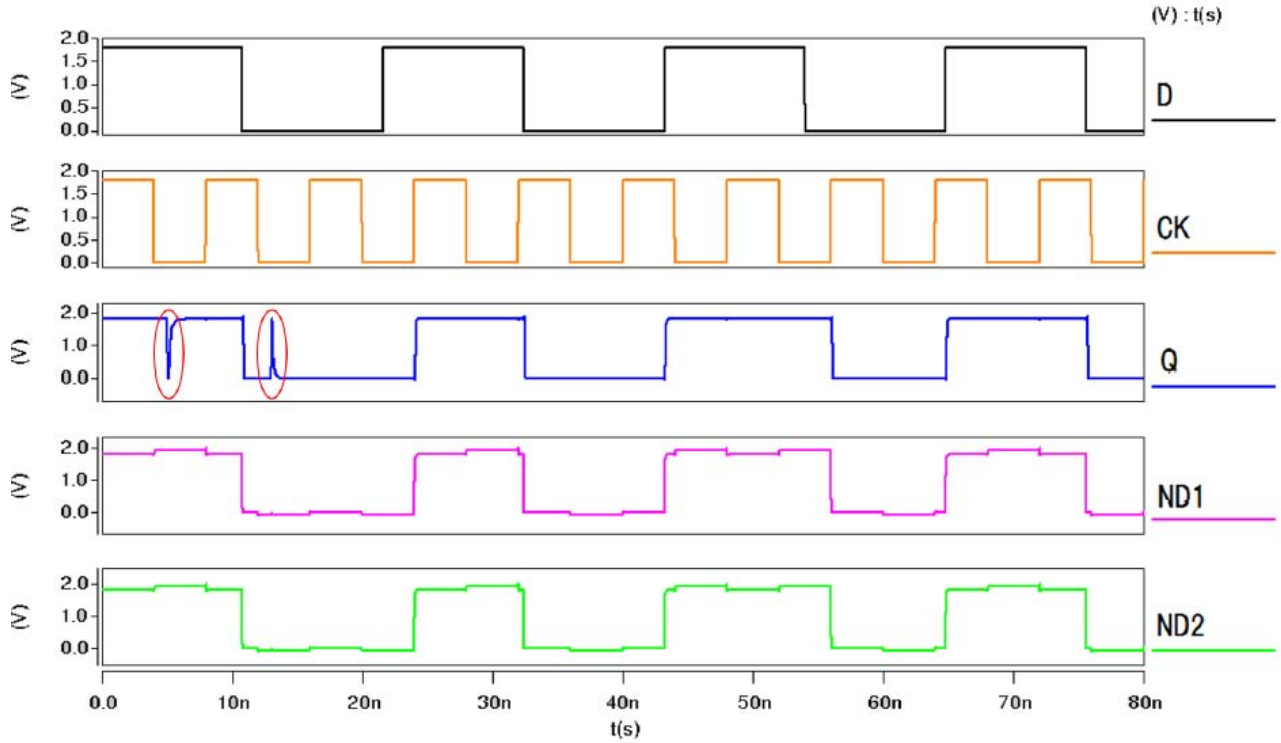


図 7. 電流源を使って擬似ソフトエラーパルスの発生方法



(a) ND1 と ND2 でソフトエラー発生



(b) Q でソフトエラー発生

図 8. ソフトエラー発生時提案 SHC ラッチの波形

表 1.　提案 SHC ラッチと既存ラッチの面積・遅延等の比較結果

	number of transistors	CK-Q delay (ps)	propagation delay (T_{pL2H})(ps)	propagation delay (T_{pH2L})(ps)	T_{setup} (ps)	T_{hold} (ps)	Q_{crit} (fC)
C^{2}MOS	12	169.5	102.78	182.87	94.67	166.93	-
TFH	12	117.34	103.86	28.97	46.15	61.43	-
FERST	26	184.54	145.83	169.54	55.85	97.37	0.43
HiPeR	20	119.77	108.08	22.64	50.41	97.37	0.54
SHC	14	120.23	100.37	115.25	24.10	28.65	0.70

表 2.　ラッチ更新率による消費電力の比較結果

	$0\%(allzero)(\mu W)$	$0\%(allone)(\mu W)$	$25\%(\mu W)$	$50\%(\mu W)$	$100\%(\mu W)$
C^{2}MOS	1.49	1.38	2.11	2.99	4.52
TFH	1.08	1.20	2.80	4.34	5.98
FERST	2.05	1.97	3.45	4.85	8.06
HiPeR	2.87	3.54	9.74	15.64	21.13
SHC	1.11	1.53	2.04	2.43	3.60

次に、ソフトエラー発生時の動作のシミュレーションを行った。シミュレーションレベルでは本物のソフトエラーを発生させることはできないため、放射線の入射によって生じる励起電流を電流源に置き換えて疑似ソフトエラーパルスを発生させ（図 7 参照）、ソフトエラー効果を評価した。提案 SHC ラッチの各ノードでソフトエラーが発生した場合の波形を図 8 に示す。図 8(a)より、ノード（ND1 と ND2）でソフトエラーが発生した場合は、出力 Q に影響はないことが確認できた。また、図 8(b)より、出力 Q でソフトエラーが発生した場合は、ただちにエラーから回復できていることが確認できた。さらに、提案 SHC ラッチは既存研究と比較しても、早くエラーから回復できていることも確認できた。よって、提案ラッチは小面積・低消費電力・ソフトエラー耐性があることが確認できた。

4 ソフトエラー検出機構の提案と実装評価

既存の耐ソフトエラー技術のもう一つ問題点として、出力のノードがウィークポイントとなっている。既存の耐ソフトエラー技術で出力のノードをソフトエラーから回復させる場合、エラー回復に時間がかかる回路が多い。エラー回復に時間がかかると、エラーから回復する前に、後続の論理回路にエラーが伝搬してしまう可能性がある。エラーが伝搬してしまうと、回路の誤動作を引き起こし、事故に繋がる恐れがある。これは、人命に関わるような高い信頼性を必要とする航空機や自動車ではあってはならないことである。そのため本研究では、ラッチ内部のノードでソフトエラーの検出を行うことで、発生したソフトエラーを迅速に検出する。ソフトエラー検出機構をできるだけ小さくするように設計したソフトエラー検出回路を提案した。

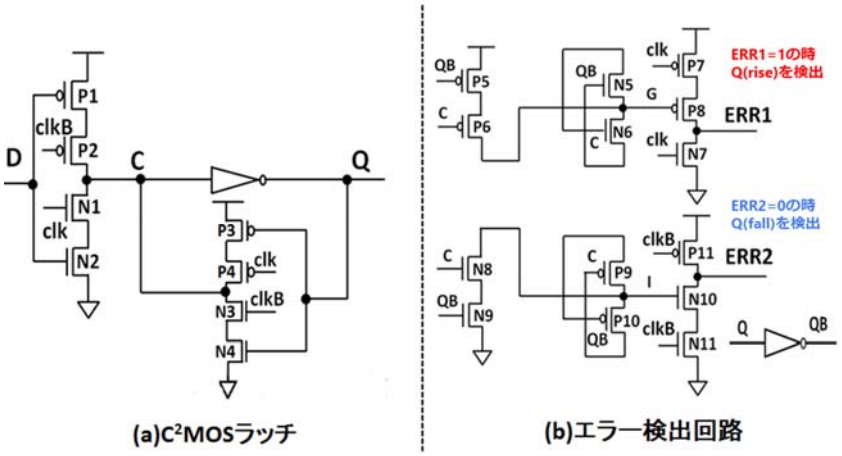
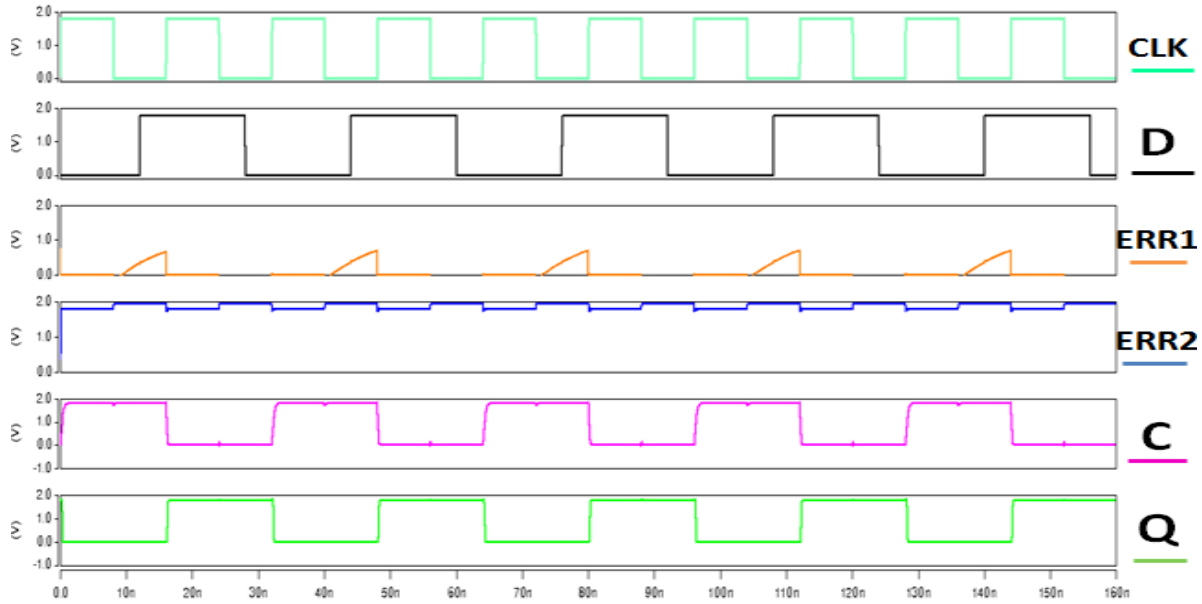
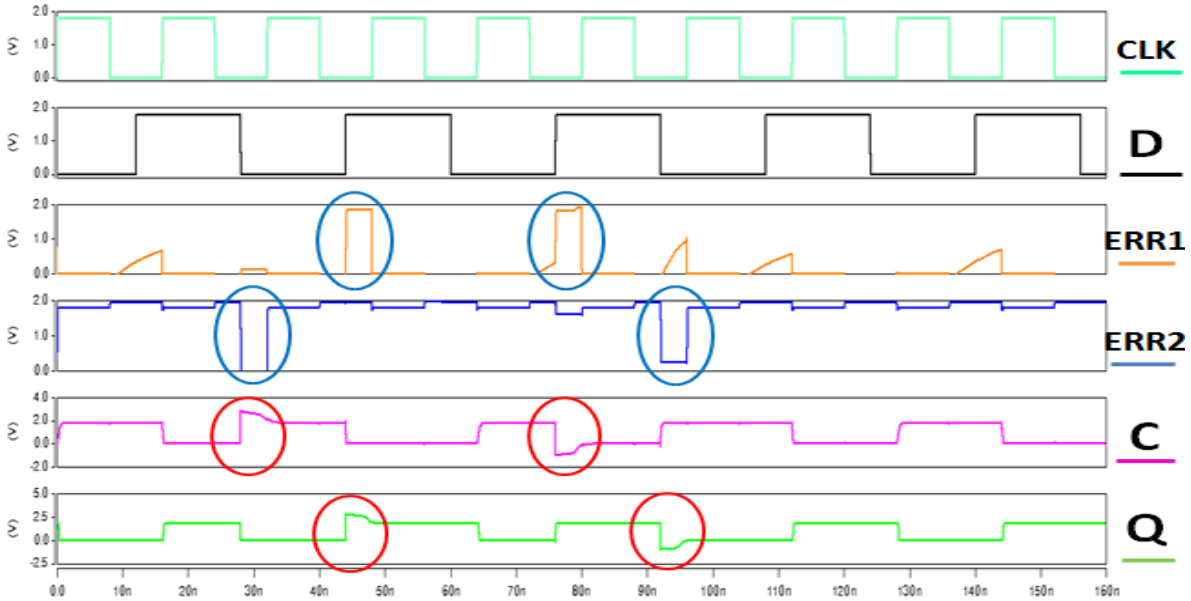


図 9.　提案複数の検出機構を利用したソフトエラー検出ラッチ回路

提案複数の検出機構を利用したソフトエラー検出回路を図 9(b) に示す。そこで、通常のソフトエラー耐性なしの C^{2}MOS ラッチをベースラッチ回路とする。提案検出回路の ERR1 は ERR1=1 の時がエラー信号を生成している状態で、ERR2 は ERR2=0 の時がエラー信号を生成している状態であり、エラー検出回路の上側では Q が 0 から 1(rise) に変化した場合でのエラー検出で、下側のエラー検出回路では Q が 1 から 0(fall) に変化した場合でのエラー検出回路である。図 9 より、ノード C と出力の反転である QB の値を参照してエラー検出を行う回路だとわかる。通常動作(clk=1) の時は、トランジスタ N7 とトランジスタ P11 がそれぞれオンになることで、ERR1=0、ERR2=1 となりエラー信号は生成されない。ソフトエラー発生時(clk=0 の時) の場合は、ノード C の値と出力の反転である QB にエラーが伝搬する遅延が異なるため、エラー検出を行うことができる。



(a)通常動作時の波形



(b) エラー発生時の波形

図 10.　提案検出回路の動作波形

以下でエラー発生時提案検出回路の動作を説明する。

- ソフトエラー検出の例として出力で 0 から 1 にエラーが発生した場合を考える。エラー発生時(clk=0 の時) では、出力で 0 から 1 のエラーが発生した場合、出力にインバータを通した QB が 1 から 0 に反転する。ノード C の値が 1 であるため、トランジスタ N6 がオンになる。N6 がオンになることで、ノード I は QB の値である 0 に変化する。ノード I が 0 に変化したので、トランジスタ P8 がオンになり、ERR1 が 1 に変化しエラー信号が生成される。
- 出力で 1 から 0 のエラーが発生した場合は、出力にインバータを通した QB が 0 から 1 に反転する。ノード C の値が 0 であるため、トランジスタ P9 がオンになる。N9 がオンになることで、ノード G はノード QB の値である 1 に変化する。ノード G が 1 に変化したので、トランジスタ N10 がオンになり、ERR2 が 0 に変化しエラー信号が生成される。
- ノード C でエラーが発生した場合も出力でエラーが発生した時と同様の動作をし､エラーを検出する。

以上よりソフトエラーが発生した場合、エラーの検出を行うことができる。図 10 より、エラー検出できており、正しく動作していることが確認できる。

表 3.　提案検出回路と既存回路の面積・電力・遅延の比較結果

	トランジスタ数［個］	Power［uW］	D-Q delay (rise)［ps］	D-Q delay (fall)［ps］	CLK-Q delay［ps］
C2MOS	12	5.17	145.22	149.61	147.17
FERST［8］	28	10.74	184.29	179.16	245.52
HLR-CG2［10］	28	12.67	137.15	122.18	136.03
TDTB［11］	33	12.68	103.82	173.73	169.48
提案検出回路	28	7.02	205.45	274.21	269.09

提案エラー検出回路を実装し、ソフトエラーを起こさずにトランジスタレベルでシミュレーションを行った。結果は表 3 に示す。既存研究と比較し、提案回路は最大 45%電力削減することを達成した。提案ソフトエラー検出を利用したソフトエラー回復回路でも、既存の HLR-CG2 ラッチ[10]と TDTB ラッチ[11]より面積のオーバーヘッドが小さく、FERST ラッチ[8]と遜色ない電力を実現した。また、遅延評価に関して、提案ラッチはエラー検出機構を挿入している分だけ C²MOS ラッチや既存回路と比較して悪化している。

以上より、提案エラー検出ラッチに関しては、遅延を犠牲にして、消費電力削減やエラー検出能力向上が可能というメリットがる。このメリットにより、後続の論理回路にソフトエラーが伝搬する前に、エラー検出することに成功し、より安全・安心な回路を設計できた。

5 結論と今後の展望

本研究は LSI の信頼性への脅威である「ソフトエラー」に注目し、「耐ソフトエラーLSI 設計技術」に関する研究を行ってきた。主な研究成果として、①C-element を使って、小面積・低遅延・低消費電力化耐ソフトエラーラッチである SHC ラッチを提案し、トランジスタレベルでの実装・評価を行った。結果、既存研究と比較し、最大で 82.96%の電力削減を達成した。②ソフトエラー耐性機構だけではなく、ソフトエラー検出回路も提案した。面積・電力評価に関しては、提案回路は既存回路と比較して最大 45% の電力削減を達成した。

本研究で開発した耐ソフトエラーLSI 設計技術は､原理的には､SRAM 回路にも適用可能である｡そのため､大規模回路に本研究の提案技術を適用することを検討している。さらに、今後、この研究をより発展させ、提案した耐ソフトエラー設計手法が地上だけでなく、宇宙空間でも有効であることを確認するために、シミュレーションや重イオンを用いた評価実験を行うことも予定している。

【参考文献】

[1] 伊部栄史，鳥羽忠信，新保健一，上薗巧，谷口斉，¥環境放射線による電子装置のソフトエラー・障害対策の現状と取り組み,〞日立評論　イノベイティブＲ＆Ｄレポート，pp. 56-61，Jul. 2014.

[2] C. Chang, H. Huang, Y. Lin, and C.Wen, “SERL: Soft error resilient latch design,” Proc. International Symposium on VLSI Design, Automation and Test (VLSI-DAT), pp.1–4, April 2016.

[3] P. Shivakumar, M. Kistler, S.W. Keckler, D. Burger, and L. Alvis, “Modeling the effect of technology trends on the soft error rate of combinational logic,” Proc. Dependable Systems and Networks, pp.389–398, 2002.

[4] T. Calin, M. Nicolaidis, and R. Velazco, “Upset hardened memory design for submicron CMOS technology,” IEEE Trans. Nucl. Sci., vol.43, no.6, pp.2874–2878, Dec. 1996.

[5] D.G. Mavis and P.H. Eaton, “Soft error rate mitigation techniques for modern microcircuits,” Reliability Physics Symposium Proceedings, pp.216–225, 2002.

[6] S. Mitra, N. Seifert, M. Zhang, Q. Shi, and K.S. Kim, “Robust system design with built-in soft-error resilience,” IEEE Computer, vol.38, no.2, pp.43–52, Feb. 2005.

[7] M. Omana, D. Rossi, and C. Metra, “Novel transient fault hardened static latch,” Proc. IEEE International Test Conference, pp.886–892, 2003.

[8] M. Fazeli, A. Patooghy, S.G. Miremadi, and A. Ejlali, “Feedback redundancy: A power-aware efficient SEU-tolerant latch design for deep sub-micron technologies,” Proc. IEEE/FIP International Conference on Dependable System Networks, pp.276–285, June 2007.

[9] M. Omana, D. Rossi, and C. Metra, “High-performance robust latches,” IEEE Trans. Comput., vol.59, no.11, pp.1455–1465, Jan. 2010.

[10] H. Nan and K. Choi, “High performance, low cost, and robust soft error tolerant latch designs for nanoscale CMOS technology," IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 59, no. 7, pp. 1445-1457, Jul. 2012.

[11] K. A. Bowman, J. W. Tschanz, N. S. Kim, J. C. Lee, C. B. Wilkerson, S. L. L. Lu, T. Karnik, and V. K. De, “Energy-efficient and metastability-immune resilient circuits for dynamic variation tolerance," IEEE Journal of Solid-State Circuits, vol. 44, no. 1, pp. 49-63, Jan. 2009.

〈発　表　資　料〉

題　　名	掲載誌・学会名等	発表年月
A low power soft error hardened latch with Schmitt-trigger-based C-element	IEICE Transactions on Fundamentals of Electronics、Communications and Computer Sciences	2018 年 7 月
リーク削減による低消費電力 SRAM の設計	電子情報通信学会 第 31 回回路とシステムワークショップ	2018 年 5 月
Soft error tolerant latch designs with low power consumption	IEEE 12th international conference on ASIC	2017 年 10 月
C-element を用いたソフトエラー耐性をもつ SHC ラッチの設計	電子情報通信学会 第 30 回回路とシステムワークショップ	2017 年 5 月
内部ノードを利用したソフトエラー検出ラッチの設計	電子情報通信学会 第 30 回回路とシステムワークショップ	2017 年 5 月