半導体製造における配線劣化現象解明の研究

代表研究者 佐藤 伸吾 関西大学 システム理工学部 准教授

1 研究の背景・目的

半導体集積回路の高集積化と高性能化を目的として、半導体素子ならびに半導体素子間配線の微細加工技術の開発が進められている。近年、半導体素子の製造技術水準を表すテクノロジーノードは既に 10nm 以下となっていることが報告されており[1]、最先端の製造技術で製造される配線の最小ピッチは数十nm となっている。これらの半導体製造技術開発は度重なる実験を経て、大量生産に耐えうる高歩留り・長期信頼性を担保する製造方法と設計制約を開発・設計する。

半導体製造技術開発では現状の製造水準を評価するために製造水準評価用素子を測定し、半導体素子を構成する各要素を個別に評価する。半導体製造技術開発は大きく分けて半導体素子構造を製造する前工程開発と配線を製造する後工程開発に分けることができるが、後工程開発では主に配線ならびに配線間を接続する穴(ビア)の電気特性評価に加え、信頼性確保のために過電流印加と温度加熱による加速試験が実施されている。主要な配線劣化現象(エレクトロマイグレーション)の物理メカニズムに関して内部ストレスの寄与が示唆される等、劣化現象に対する理解も進みつつあり、解析が進められている[2-6]。

半導体素子の微細化に伴い、後工程開発においては配線を流れる電流密度の増加ならびに配線層数の増加 が顕著であり、後工程に要求される製造水準・設計制約がより一層厳しくなっている。また微細化による製 造バラつきの増大に伴い、電気特性バラつきの増加が顕著となっており、電気特性バラつきを取得可能な評 価技術が必須となっている[7-13]。また後工程開発では信頼性評価においても製造バラつきが顕著となるこ とが予想されるため、統計的な信頼性評価を実現する評価環境を構築する必要がある。

本研究では半導体素子の微細化に伴う製造バラつきを要因とする電気特性バラつきならびに信頼性バラつきを評価するための評価技術を開発する。特に半導体製造後工程の信頼性バラつきを評価するために、評価対象を抵抗素子とし、抵抗素子の劣化性検証機能を有する多数素子測定技術を開発・設計する。

2 実験方法

(1) 電気特性評価回路設計

本研究では統計的な電気特性取得方法として多数素子測定技術(以降、Array-TEG)を用いた。Array-TEGでは格子状に多数個配置した被測定素子をデコーダ回路により選択し電気特性を取得する。このArray-TEG技術を用いて多数個の被測定素子の電気特性を取得することにより、被測定素子の素子形状バラつきに起因する電気特性バラつきを取得することができる。

1

本研究で新たに開発・設計したArray-TEGを図1に 示す。図1においてinit, clkは被測定素子を選択す るためデコーダ回路の初期化・クロック用端子、V<0:3> は被測定素子の電圧測定箇所を選択するための端子、 I<0:3>は被測定素子に対して電流を印加するための端 子、Voutは被測定素子の電位測定結果を出力するため の端子である。図に示された端子以外にデコーダ回路 やArray-TEG内の周辺回路を動作させるための電源端 子 VDD、GND が配置されている。また4to16 ビットデコ ーダが配置されており、V<0:3>をg<0:15>に変換し、 電位測定箇所の選択を実現している。

今回設計した Array-TEG は以前に開発したものから 様々な形状の抵抗素子を測定するために周辺回路の拡 張を行った。今回設計した Array-TEG における最小測



図1. 設計した Array-TEG 概要図

定単位である単位回路(単位セル)を図2に示す。Rurが 被測定抵抗素子、I<0:3>が電流印加端子、g<0:7>が 4to16デコーダにより生成された信号であり、電圧測定 箇所を選択しVout に電圧測定結果を出力する。

既存の Array-TEG では被測定対象物として二端子抵 抗素子を想定していたため電流印加端子も二端子分の みであったが、分岐構造を持つ被測定素子に対して電 流印加を実現するために最大四端子間での電流印加を 実現する回路構成に変更した。また電流印加端子は信 頼性試験で要求される被測定素子に対する大電流印加 を実現するために、トランジスタの並列数を増加させ ることで、数mAの電流印加が可能となるように設計し た。また単位セル内にある電圧測定端子を複数個準備 することにより、様々な箇所の電圧を測定できるよう に設計したことに加え、単位セル内の電圧測定方法は 四端子法をベースとしており、寄生抵抗を含まず被測定 素子周辺の電位を高精度に測定可能な構成としている。



図2. 新規設計した単位回路

上記 Array-TEG の回路設計・被測定素子設計は東京大学大規模集積システム設計教育センター(以降、VDEC) から提供される Rene sas 社 65nm SOI CMOS テクノロジーの Process Design Kit (PDK)を用いた。このテクノ ロジーを選択した理由は配線構造に銅を使用しているためである。今回設計した Array-TEG は単位セルを X 方向、Y 方向にそれぞれで 32 個×29 個配置しており、チップの大きさは 1.5mm×2.0mm である。







図 3 に電気特性評価を実施するにあたり構築した測 定系の概要図を示す。電圧源は松定プレシジョン社製 PLE36-3、電流源はKEITHLEY社 6221 AC/DC 電流源、 電気信号生成と測定結果取得に特殊電子回路社製 18bit 精密 AD変換ボードとArtix-7 評価ボードを使用 した。電源端子 VDD に電圧源、電流印加端子 I<0:3>に 電流源、信号端子 init, clk, V<0:3>に Artix-7 評価ボ ード、Vout に精密 AD変換ボードを接続し、その測定結 果を Artix-7 評価ボードとパーソナルコンピュータを USB 経由で接続することにより取得した。

図4 に配線抵抗素子の測定結果を示す。印加電流は 200uA である。デューダ回路が適切に動作しているかを 確認するために意図的に形状が異なる素子を配置して



いることを除いて、横一列はすべて同じ形状の抵抗素子である。デコーダ回路の動作確認用素子の配置場所 は右上から斜め方向に配置したが、測定結果においても抵抗値が低抵抗となっており、デコーダ回路が問題 なく動作していることがわかる。また電圧測定端子を変更することで出力電圧が変更されることも別途確認 しており、設計した Array-TEG は通常動作では問題なく動作していることがわかった。また過電流機能を検 証するために、印加電流を 5mA まで変更して同様に抵抗値測定を行い、Array-TEG が問題なく動作している ことを別途確認した。この結果から新規設計した Array-TEG を用いて過電流印加による電気特性評価が可能 であることが分かった。

3 交流信号を用いた抵抗値測定技術開発

図 5 に同一評価形状の素子に対して Array-TEG 技術 を用いずに測定した抵抗値と Array-TEG 技術を用いて 測定した抵抗値の相関結果を示す。この測定結果から 明らかなように微小抵抗値を測定する場合において Array-TEG は測定誤差が発生している。

Array-TEG を使用した場合に周辺回路から発生する 電気的な雑音や電圧測定回路の量子化雑音等の各種雑 音が被測定素子両端に発生する電圧差と同程度の大き さとなった場合、電圧差が雑音に埋もれてしまい抵抗 値の測定が不可能となる。この傾向は特に微小抵抗値 を測定する場合において顕著に発生する。オームの法 則から明らかなように、被測定素子に対して電流を印 加した際に発生する被測定素子両端の電圧差は微小抵 抗値を測定する場合に非常に小さくなる。このため通 常 Array-TEG では電気特性評価において単体素子を複 数個直列接続し、被測定素子を高抵抗することで測定 精度を担保しつつ、複数個素子の電気特性を Array-TEG で多数個測定することにより ppm オーダーの歩留まり 評価を実現する。



一方、想定しているような信頼性評価では配線抵抗やビア等の微小抵抗値をもつ抵抗素子の少数個評価が 求められるため、被測定素子を複数個素子化して測定精度を担保することができない。また高温環境下に配 置することにより熱雑音が増加し、抵抗精度が劣化することが想定されるため、高温測定環境下において熱 雑音に影響されない抵抗値測定技術を開発する必要がある。本研究ではヘテロダイン技術をArray-TEG技術 に適用することにより、抵抗素子測定を実現する。

図6に今回開発した微小抵抗値測定技術の概要図を示す。既知の外部抵抗Rを電流源と電流印加端子間に 接続し、デコーダ回路により選択した被測定素子と外部抵抗が直列接続された状況を設定する。この状況下 で電流源から直流と交流を重畳した電流を印加することにより、既知抵抗Rと被測定抵抗Rurのそれぞれに 直流電圧と交流電圧が重畳された電圧差が発生する。この電圧差の時間変化を AD 変換ボードによりサンプ リングを行う。

この交流電圧成分と既知抵抗値を活用し、被測定素子の抵抗値を測定する。図7に取得データの処理手順 に関する概念図を示す。図6に示される既知抵抗と被測定素子それぞれで発生する交流電圧の乗算結果は周 波数変換により、電流源から印加した交流電流の2倍の周波数成分を持つ信号と直流成分に変換される。発 生した2倍の周波数成分をローパスフィルタでカットすることにより、直流成分のみを抽出することができ る。この直流成分は電流源から印加した交流電流の振幅 io、既知抵抗 R、被測定素子 Rur と被測定素子と既 知抵抗で発生する交流電圧の位相差 θ Rur θ Rで表すことができる。被測定素子が抵抗素子の場合、既知抵抗 と被測定素子が直列接続されているため位相差は理想的には生じないため、 θ Rur θ R = 0 となる。つまり、 被測定素子の抵抗値は Rur = 2/(ioR) × [測定結果の処理結果]として算出することができる。既知抵抗と被 測定素子の電圧位相が異なる場合は抵抗以外の成分が付与されていることを示しており、測定異常を検知す ることが可能である。

3



初に抵抗に発生する直流電 圧成分を除去し、その後乗 算処理・ローパスフィルタ 処理を実施することにな る。ローパスフィルタ処理 にはデジタル IIR フィルタ (バタワース型)を用いた。

図8に被測定素子と既知 抵抗の交流電圧波形とそれ らを乗算した結果を示す。 印加周波数は10kHzである。 被測定素子と既知抵抗の電 圧波形は同相となってお り、またその乗算結果が直 流成分と元の周波数の2倍



図8. 被測定素子と既知抵抗の交流電圧波形とその乗算結果

の周波数を持つ波形の和となっていることがわかる。

図9に直流電圧(DC)と交流電圧(AC)を使用した場合の測定結果に関する抵抗値の相関結果を示す。今回開発した交流信号を用いた測定手法でも従来手法と同等の抵抗値測定結果が得られている。また交流電圧の測定結果は低抵抗側で直流電圧の測定結果よりも良い相関が得られている。繰り返し誤差(σ)についても全抵抗領域において直流電圧よりも交流電圧を用いた場合に小さくなっている。

4 研究の今後について

本研究期間中では初年度に設計・開発した Array-TEG の回路動作ならびに被測定素子に対する過電流 印加機能を確認することができた。またヘテロダイ ン技術を Array-TEG における抵抗値測定に適用する ことで、高ノイズが発生する高温環境下における抵 抗値測定技術を開発することができた。一方、当初予 定していた高温環境下での信頼性測定を実施できな かった。Array-TEG への電気的な接続は問題ないこと が別途確認できていることから、原因は高温環境下 向けの評価環境におけるデコーダ回路の誤動作であ ると推定される。構築した高温環境下向けの評価環 境では、Array-TEG を加熱環境に設置するために IC ソケットに極細電線を直接接続し、電気信号を印加・ 取得しているため、外部電源やクロック発生回路等 の外部回路と Array-TEG 間の距離が離れている。そ のため、外部電源に接続するために長い極細電源線 を使用する必要があり、電源電圧やグランドが不安



図9. 直流測定と交流測定の抵抗値比較

定となること、また外部クロック発生回路からデコーダ回路までの距離が長く信号の立ち上がりが鈍るため にデコーダ回路が誤動作を引き起こすこと、等がデコーダ回路の誤動作の原因と推測される。

上記問題を解決するために新たに回路基板を現在設計中である。この回路基板を用いて上記問題を解決し、 Array-TEG内に配置された信頼性評価用の被測定素子を高温環境下において測定することで統計的な信頼性 バラつき評価を実施し、配線信頼性の統計的な評価環境を構築するとともにその劣化現象を解析する。

5 まとめ

本研究では配線劣化現象を統計的に評価するために新規にArray-TEG技術を開発・設計した。その動作検 証を行いデコーダ回路が適切に動作していること、また過電流印加が可能であることを確認した。また交流 信号を用いた抵抗値測定技術を開発した。今後、高温環境下で測定可能な回路基板を作成することで信頼性 バラつき評価を実施する。

【参考文献】

- [1] Geoffrey Yeap, et al., "5nm CMOS Production Technology Platform featuring full-fledged EUV, and High Mobility Channel FinFETs with densest 0.021µm2 SRAM cells for Mobile SoC and High Performance Computing Applications", Ming-Hsien Lin and A. S. Oates, "Electromigration Failure Time Model of General Circuit-Like Interconnects", Technical Digests of 2019 IEEE International Electron Devices Meeting (IEDM), 2019.
- [2] Ming-Hsien Lin and A. S. Oates, "Electromigration Failure Time Model of General Circuit-Like Interconnects", IEEE TRANSACTIONS ON DEVICE AND MATERIALS RELIABILITY, VOL. 17, NO. 2, pp. 381-398, JUNE 2017.
- [3] M. H. Lin and A. S. Oates, "An Electromigration Failure Distribution Model for Short-Length Conductors Incorporating Passive Sinks/Reservoirs", IEEE TRANSACTIONS ON DEVICE AND MATERIALS RELIABILITY, VOL. 13, NO. 1, pp. 322-326, MARCH 2013.
- [4] Hai-Bao Chen, Sheldon X.-D. Tan, Jiangtao Peng, Taeyoung Kim, and Jie Chen, "Analytical Modeling of Electromigration Failure for VLSI Interconnect Tree Considering Temperature and Segment Length Effects", IEEE TRANSACTIONS ON DEVICE AND MATERIALS RELIABILITY, VOL. 17, NO. 4, pp. 653-666, DECEMBER 2017.

- [5] Stefan P. Hau-Riegea and Carl V. Thompson," Experimental characterization and modeling of the reliability of interconnect trees", JOURNAL OF APPLIED PHYSICS VOLUME 89, NUMBER 1 1, pp. 601-609, JANUARY 2001.
- [6] C. Witt, V. Calero, C. K. Hu, and G. Bonilla, "Electromigration: Void Dynamics", IEEE TRANSACTIONS ON DEVICE AND MATERIALSRELIABILITY, VOL. 16, NO. 4, pp. 446-451, DECEMBER 2016.
- [7] Shingo Sato and Yasuhisa Omura, "Novel Addressable Test Structure for Detecting Soft Failure of Resistive Elements When Developing Manufacturing Procedures", IEEE TRANSACTIONS ON SEMICONDUCTOR MANUFACTURING, VOL. 31, NO. 1, pp.124-129, FEBRUARY 2018.
- [8] Alessandro Cabrini, Daniele Cantarelli, Paolo Cappelletti, Roberto Casiraghi, Alfonso Maurelli, Marco Pasotti, Pier Luigi Rolandi, and Guido Torelli, "ATest Structure for Contact and Via Failure Analysis in Deep-Submicrometer CMOS Technologies", IEEE TRANSACTIONS ON SEMICONDUCTOR MANUFACTURING, VOL. 19, NO. 1, pp. 57-66, FEBRUARY 2006
- [9] Hiroki Shinkawata, Shingo Sato, Atsushi Tsuda, Tomoaki Yoshizawa, and Takio Ohno, "Analysis of Soft Failures in Low-Resistance Interconnect Vias Using Doubly Nesting Arrays", IEEE TRANSACTIONS ON SEMICONDUCTOR MANUFACTURING, VOL. 27, NO. 2, pp. 178-183, MAY 2014.
- [10] Takeshi Hamamoto, Member, ZEEE, Tohru Ozaki, Masami Aoki, Member, ZEEE, and Yutaka Ishibashi, "Measurement of Contact Resistance Distribution Using a 4k-Contacts Array", IEEE TRANSACTIONS ON SEMICONDUCTOR MANUFACTURING, VOL. 9, NO. 1, pp. 9-14, FEBRUARY 1996.
- [11] Shunichi Watabe, Akinobu Teramoto, Kenichi Abe, Takafumi Fujisawa, Naoto Miyamoto, Shigetoshi Sugawa, and Tadahiro Ohmi, "A Simple Test Structure for Evaluating the Variability in Key Characteristics of a Large Number of MOSFETs", IEEE TRANSACTIONS ON SEMICONDUCTOR MANUFACTURING, VOL. 25, NO. 2, pp. 145-154, MAY 2012.
- [12] Kanak Agarwal, Jerry Hayes, and Sani Nassif, "Fast Characterization of Threshold Voltage Fluctuation in MOS Devices", IEEE TRANSACTIONS ON SEMICONDUCTOR MANUFACTURING, VOL. 21, NO. 4, pp.526-533, NOVEMBER 2008.
- [13] Yuki Kumagai, Kenichi Abe, Takafumi Fujisawa, Shunichi Watabe, Rihito Kuroda, Naoto Miyamoto, Tomoyuki Suwa, Akinobu Teramoto, Shigetoshi Sugawa, and Tadahiro Ohmi, "Large-Scale Test Circuits for High-Speed and Highly Accurate Evaluation of Variability and Noise in Metal–Oxide–Semiconductor Field-Effect Transistor Electrical Characteristics", Japanese Journal of Applied Physics 50 (2011) 106701.