

# 耐放射線性フリップフロップに対する放射線照射実験

代表研究者 難波 一輝 千葉大学 大学院工学研究院 准教授

## 1 はじめに

近年の VLSI の小型化、低電力化に伴い、放射線に起因した一時的故障であるソフトエラーの発生率が高くなってきている。ソフトエラーは、かつてはパッケージから放射される  $\alpha$  線に起因した問題であったが、近年では宇宙線などによる高エネルギー中性線起因のソフトエラーが問題となっている [1-3]。放射線が VLSI に衝突したとき、そのエネルギーにより核反応が起こり、正孔や電子が生じる。それらがドレインノードに収集されることで過渡電流が生じる。それは記憶素子における値の反転を引き起こす [4]。そのため、耐ソフトエラー技術が多く研究者によって考えられている。順序回路中の記憶素子（フリップフロップ・ラッチ）に発生するソフトエラーに対しては、Dual Interlocked storage Cell (DICE) [5, 6] などのさまざまな耐ソフトエラーラッチが提案されている。従来申請者らは提案した種を含む複数種の耐ソフトエラーラッチに対する中性線照射実験を行った [7]。これらのラッチは既にシミュレーション実験により動作検証されていた。本実験は実際に技術適用 VLSI システムを試作し放射線照射実験を行うことでその有用性などを検証することを目的として行った。しかし、その結果は予想とは大きく異なるものであった。これは実験が適切に行われなかったことを意味する。そこで本研究では、適切な実験実施のため、耐ソフトエラーラッチが持つ問題を 2 件明らかにする。また、それぞれの問題について、それを解決する回路設計を明らかにする。

## 2 準備

### 2-1 従来の耐ソフトエラーラッチ

耐ソフトエラーラッチは順序回路中で使用される。例えば、BISER [8]、SEH [9] などが提案されている。DICE [5, 6] はその中でも最もよく知られる耐ソフトエラーラッチの 1 種である。図 1 は DICE の回路図である。DICE は 4 本のノードを持つ (Q1, Q2B, Q3, Q4B)。クロックがオフのとき、ノード Q1, Q3 は記憶値を Q2B, Q4B は反転した値を保持する。例えば Q3 の論理値が放射線により、0 から 1 に反転したとき、一時的に Q2B の値も誤る (正確に言うと Q2B はショート状態になり、弱い値となる) が、Q1, Q4B は正しい値を保持し続け、最終的に Q2B, Q3 の値も元に戻る。DICE はソフトエラーの中でも単一ノードアップセット (SNU) に耐えられる機能をもつ DICE は耐ソフトエラー性と速度、消費電力などのバランスが非常に良く、多くのバリエーションが考えられている。例えば、複数ノードアップセット (MNU) に耐えられる F-DICE [10]、Delta DICE [11]、DONUT ラッチ [12, 13] などがある。他にも単一イベントトランジエントに耐えられる DF-DICE [14] がある。

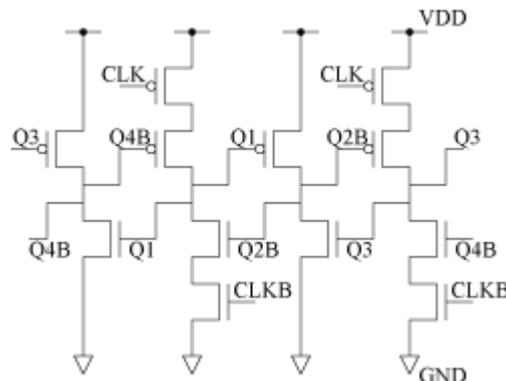


図 1. Dual Interlocked storage Cell (DICE) [5, 6] の回路図

C 素子は 2 入力と 1 出力をもつ記憶素子であり、クロック入力は持たず、2 入力値が一致したときに記憶値すなわち出力値を更新する。C 素子を用いた耐ソフトエラーラッチもまた、よく知られる設計の 1 種である。

HIPER[15], FERST[16], LCHR[17], DNCS[18], NTHLTCH[19] などが知られる。特に High-performance, Low-cost, and Double-node-upset Tolerant Latch (HLDTL) [20] は知られている C 素子を用いた耐二重ノードアップセットラッチの中でも消費電力や動作速度などが良好である。

## 2-2 放射線照射実験

著者らが行った放射線照射実験[7]について紹介する。図 2, 3 は照射対象である試作チップの外観およびレイアウト図である。照射対象は 180nm テクノロジーを用いており、通常のラッチおよび DICE[5, 6], SEH[9] など 4 種の耐ソフトエラーラッチからなる。同種のラッチを直列に接続することにより、シフトレジスタを構成している。

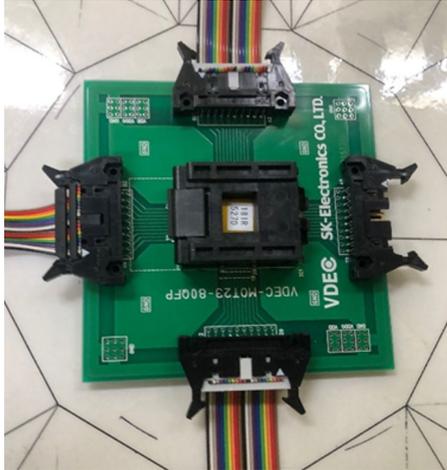


図 2. 試作チップの外観

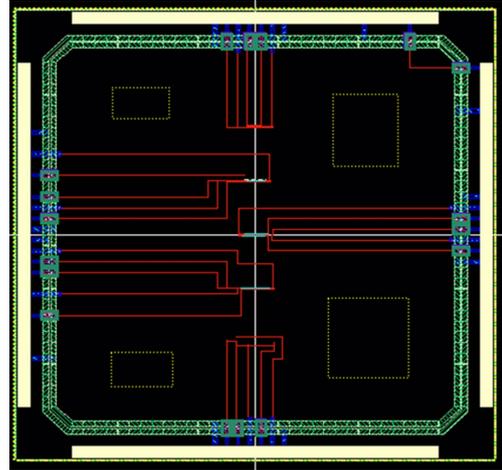


図 3. 試作チップのレイアウト

本試作を含む本研究の一部は東京大学大規模集積システム設計教育研究センターを通し、ローム株式会社、凸版印刷株式会社、シノプシス株式会社、日本ケイデンス株式会社、およびメンター株式会社の協力で行われたものである。

実験は 3 回行っている。放射線の照射には放射線医学総合研究所が所有する速中性子発生用加速器システム (NASBEE) [21] を用いた。図 4 に照射対象を設置した NASBEE を示す。ビーム強度はそれぞれ  $110 \mu\text{A}$ ,  $200 \mu\text{A}$ ,  $320 \mu\text{A}$  とした。照射時間は 25 分とし、定期的にシフトレジスタの値を観測、初期化した。入力信号の制御と出力信号の観測は Raspberry Pi 3 を用いて作成した簡易テスターにより行った。テスターは放射線が当たらないよう NASBEE より十分離れ、かつコンクリートによって隔てられた位置に設置し、有線 (図 2 の西南北方向に出ているリボンケーブル) で照射対象との通信を行った。



図 4. 照射対象を設置した NASBEE

本照射実験は放射線医学総合研究所 (NASBEE) 所内共用の一環として行なわれた。

## 3 クロック周辺で発生したソフトエラーへの耐性を持つ DICE フリップフロップ

### 3-1 従来の DICE フリップフロップの問題

通常、D ラッチを直列に 2 個接続することによりエッジトリガー方式の D フリップフロップを作ることができる。これは耐ソフトエラーラッチでも同じである。図 5 のように DICE を 2 個直列に接続することによ

りフリップフロップを作ることができる。

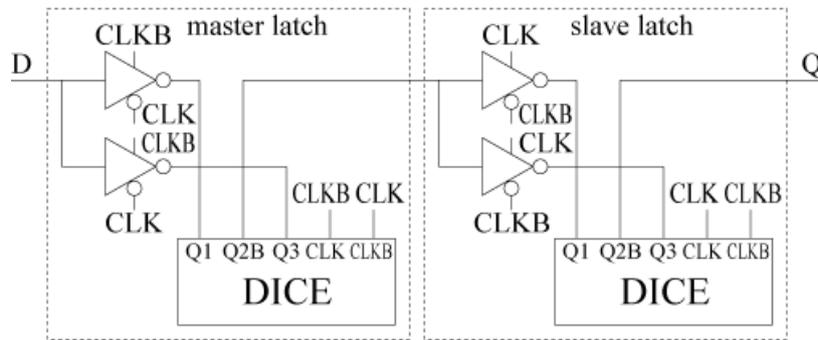


図 5. DICE を使ったマスタースレーブ方式 D フリップフロップ

図 6 は図 5 のフリップフロップに対する HSPICE シミュレーションの結果であり、クロック立ち下がり時の直前に放射線を当てたときのクリティカルチャージを示している。シミュレーション実験には 16 nm Predictive Technology Model (PTM) ライブラリ [22-24] を用いた。時刻 0 にクロックは遷移する。時刻  $\Delta t$  ns ( $-1 \leq \Delta t \leq 0.5$ ) において放射線を照射する。放射線照射はシミュレータ上では二重指数モデルの電流源を用いて模倣する。実験はさまざまな環境(あらゆる記憶値、PVT ばらつき、エラーが発生するノードの組み合わせ)について行い、すべての環境でフリップフロップが耐えられる最大の電荷量を意味している。クリティカルチャージが低いことは耐ソフトエラー性が低いことを意味する。クロック遷移が立ち上がりするとき、クリティカルチャージは非常に高い (20 fC 以上)。しかしクロック立ち下がりするとき、図 6 のように DICE を用いたにもかかわらず、ソフトエラーに耐えられないことがある。  $\Delta t$  が  $-0.15$  ns のとき、クリティカルチャージはわずか 2.54 fC しかない。なお、脆弱なのはマスターラッチでありソフトエラーの発生位置をスレーブラッチに限定すると、クリティカルチャージは非常に高くなる。

図 7 は HSPICE シミュレーション波形である。時刻  $\Delta t = 0.18$  ns にマスターラッチへ 10 fC の電荷を与えている。マスターラッチに生じたソフトエラーは DICE 本来の機能で訂正されている。しかし、スレーブラッチに波及した影響は訂正できていない。マスターラッチのノード Q2B におけるエラーがスレーブラッチのすべてのノード Q1, Q2B, Q3, Q4B に波及しており、DICE 耐ソフトエラー機能が働かないからである。これは耐ソフトエラー性をラッチだけで考えていたときには問題にならなかった、マスタースレーブ方式のフリップフロップを考えたときだけに生じる問題である。また、この問題はクロック立ち下がり直前に発生したときだけ生じる問題であったが、クロック立ち下がり直前と見なせる期間は非常に長く、0.4 ns ほどあった。これは例えば 1GHz のクロックを用いたとき、周期の約半分が脆弱な期間となることを意味している。

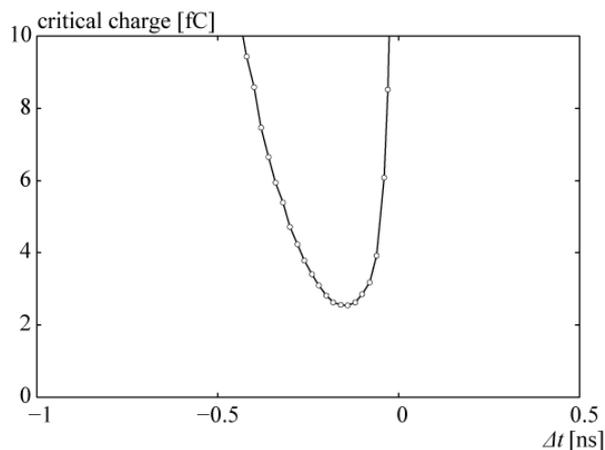


図 6. クロック立ち下がり時の直前に放射線を当てたときのクリティカルチャージ

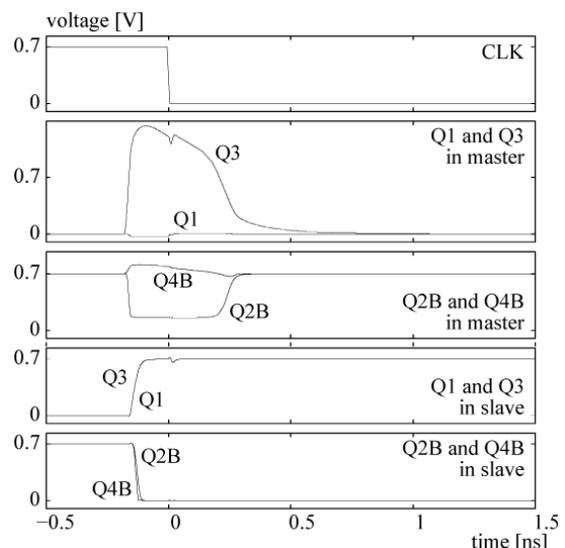


図 7. HSPICE シミュレーション波形図

### 3-2 提案構成

図8は提案する耐ソフトエラーフリップフロップの構成である。マスターラッチとスレーブラッチの間の接続法が図5と少し違う。図9は提案フリップフロップに対するHSPICEシミュレーション波形である。図7と異なり、スレーブラッチのノードの内、誤りが発生するのはQ1, Q4Bの2本だけであり、マスターラッチのQ4Bから入力値が供給されるスレーブラッチのQ3には波及しない。その結果、ソフトエラーの影響はDICE本来の機能により短時間で訂正されている。表1は通常のラッチ、従来のフリップフロップ、提案フリップフロップの特性(トランジスタ数、平均消費電力、CLK-Q遅延時間、セットアップ時間)を比較したものである。従来フリップフロップと比べ、特性に大きな差は無い。すなわち、提案設計はハードウェアオーバーヘッドなく、耐ソフトエラー性を高めていると言える。

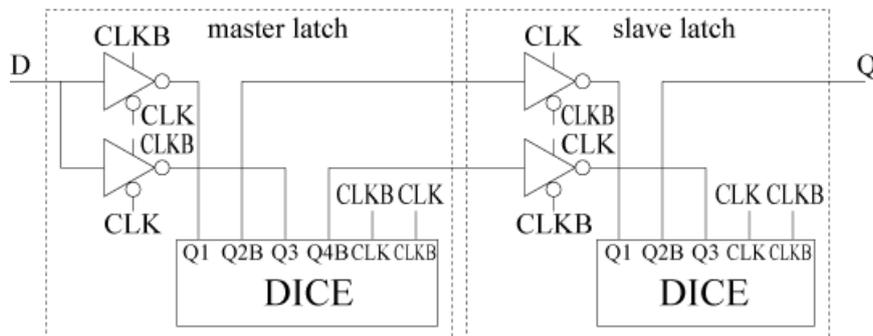


図8. 提案したフリップフロップの構成

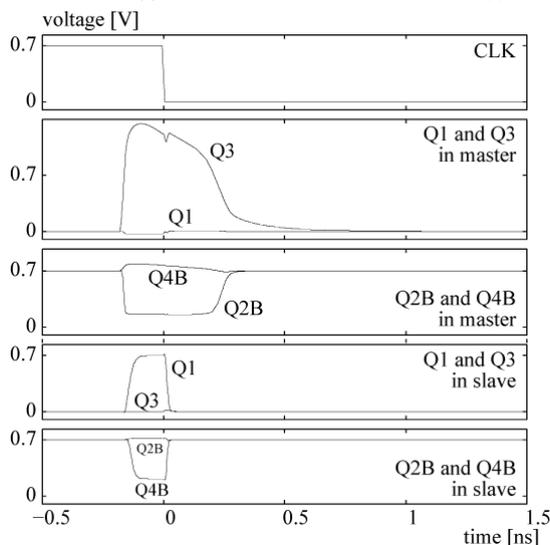


図9. 提案フリップフロップに対するHSPICEシミュレーション波形図

表1. フリップフロップの特性比較

	トランジスタ数	消費電力 (pW)	CLK-Q 遅延 (ps)	セットアップ (ps)
通常	24	1.63	23.7	44.8
従来	44	2.50	26.8	39.0
提案	44	2.49	26.7	39.3

## 4 C素子を用いた耐多重ノードアップセットラッチ

### 4-1 従来の耐多重ノードアップセットラッチの問題

図10は耐二重ノードアップセットラッチの1種であるHDLTL [20]の回路図である。耐単一ノードアップセットラッチであったSRCにC素子 ce4等を付加することにより、単一だけでなく二重ノードアップセットにも耐えられるようにしている。パストランジスタ TG6を設け、普段はオフにしておくことでノード N3で

発生したソフトエラーの影響の N4 への波及を防ぎ、最終的に C 素子 ce4 でソフトエラーの影響を訂正できるようにしている。このようなパストランジスタの使われ方は HLDTL の他でもしばしば見られる。

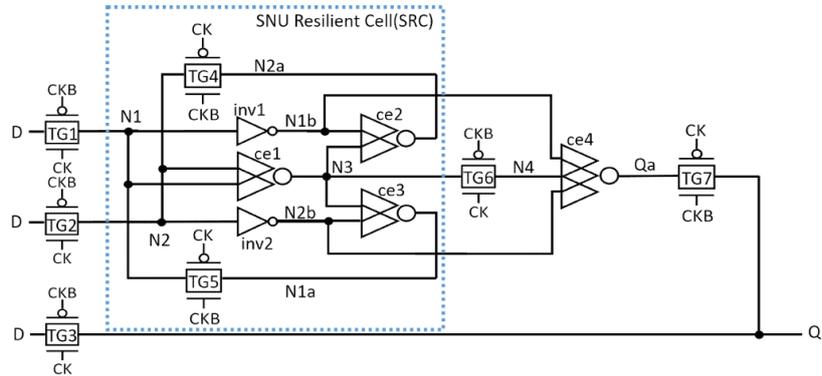


図 10. HLDTL [20]の回路図

図 11 は HLDTL の HSPICE シミュレーション波形である。ノード N3, N4 の初期値は 1.0 V とし、時刻 5 ns に放射線を照射した。このシミュレーションにより、実際にはパストランジスタを使った耐ソフトエラー設計は不完全であることが分かった。具体的にノード N3 に非常に高い電圧のトランジェントが発生したとき、パストランジスタのソース電圧がゲート電圧より低くなることがある。このとき、オフ状態にあるパストランジスタが一時的にオン状態になり、エラーの影響が N4 へ波及する。特に近年の低電源電圧設計においてはこの問題は発生しやすい。

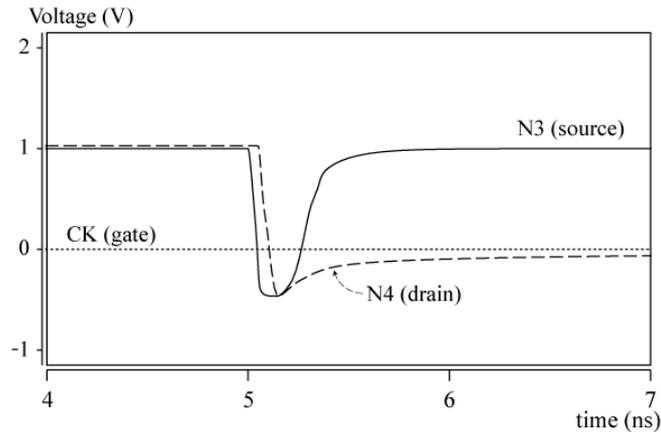


図 11. HLDTL の HSPICE シミュレーション波形図

#### 4-2 提案構成

図 12 は HLDTL を改良したラッチの回路図である。パストランジスタの代わりにスリーステートバッファを使っている。スリーステートバッファはパストランジスタより大きなゲートであるが、先に説明した問題は生じず、耐ソフトエラー性は高い。また、スリーステートバッファを 2 個に増やすことで、さらなる耐ソフトエラー性の向上を行っている。また本設計の効果を 45 nm PTM ライブラリを用いた HSPICE シミュレーションによって検証した。その結果、元の HLDTL は 8 fC ほどの電荷が発生するだけでソフトエラーが生じることがあった。一方提案ラッチは、1,000 fC の電荷を発生させてもソフトエラーにならない。図 13 は提案回路のレイアウト図である。この回路図を用いて放射線照射実験用チップを試作する。

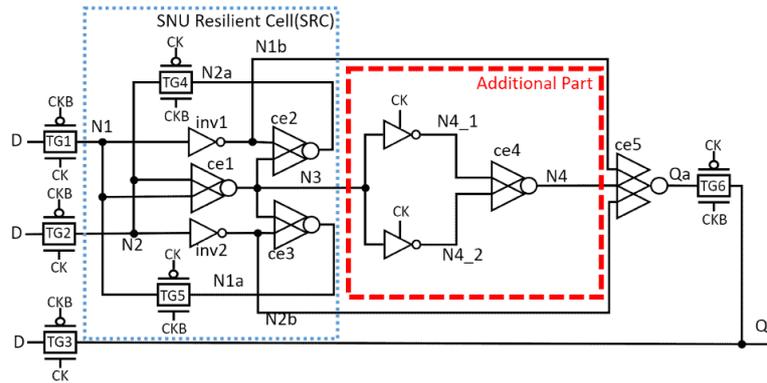


図 12. 提案ラッチの回路図

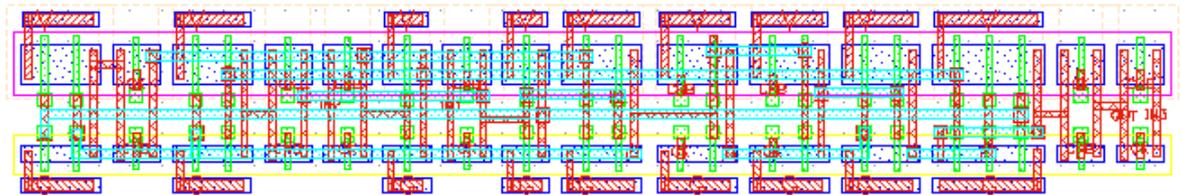


図 13. 提案ラッチの回路図

## 5 おわりに

本研究の目的は、従来我々が研究してきた耐放射線性フリップフロップについて、実際に放射線照射実験を行うことで、その性能を測定すると同時に、シミュレーション実験では発見できなかった問題の有無を確認することであった。本研究によって、今まで明らかになっていなかった設計の問題が 2 件明らかになった。また、それぞれの問題についてそれを解決する設計法を明らかにした。

## 【参考文献】

- [1] S. Mitra, N. Seifert, M. Zhang, Q. Sbi and K.S. Kim, “Robust system design with built-in soft-error resilience,” IEEE Des. & Test Comput., pp.43-52, Feb. 2005.
- [2] T. Karnik, P. Hazucha and J.Patel, “Characterization of soft errors caused by single event upsets in CMOS processes,” IEEE Trans., Dependable & Secure Comput., vol.1, No.2, pp.128-143, 2004.
- [3] L.-T. Wang, C.-W. Wu and X. Wen, VLSI test principles and architectures: design for testability, Morgan Kaufmann, 2006.
- [4] 半導体信頼性技術小委員会, 2015 年, 『JEITA EDR-4705A ソフトエラー試験ガイドライン』, 電子情報技術産業協会
- [5] D.R. Blum, M.J. Myjak and J.G. Delgado-Frias, “Enhanced fault-tolerant data latches for deep submicron CMOS,” Proc. IEEE Int'l Conf. Comput. Des., pp.28-34, 2005.
- [6] T. Calin, M. Nicolaidis and R. Velazco, “Upset hardened memory design for submicron CMOS technology,” IEEE Trans. Nuclear Sci., Vol.43, No.6, pp.2874-2878, Dec. 1996.
- [7] 中田, 山本, 堀田, 難波, “中性子線照射実験による異なるゲート幅を有する耐ソフトエラーラッチ回路の評価,” 信学技報, FIIS, 2019 年 6 月.
- [8] S. Mitra, M. Zhang, S. Waqas, N. Seifert, B. Gill, and K.S. Kim, “Combinational logic soft error correction,” IEEE Int'l Test Conf., pp.824-832, 2006.

- [9] Y. Komatsu, Y. Arima, T. Fujimoto, T. Yamashita, and K. Ishibashi, "A soft-error hardened latch scheme for SoC in a 90nm technology and beyond," IEEE Custom Integr. Circuit Conf., pp.324-332, 2004.
- [10] S. Campitelli, M. Ottavi, S. Pontarelli, A. Marchioro, D. Felici, and F. Lombardi, "F-DICE: A multiple node upset tolerant flip-flop for highly radioactive environments," IEEE Int'l Symp. Defect & Fault Tolerance VLSI & Nanotechnol. Syst., 2013. doi: 10.1109/DFT.2013.6653591.
- [11] N. Eftaxiopoulos, N. Axelos, G. Zervakis, K. Tsoumanis, and K. Pekmestzi, "Delta DICE: a double node upset resilient latch," IEEE Int'l Midwest Symp. Circuit & Syst., 2015. doi: 10.1109/MWSCAS.2015.7282145.
- [12] N. Eftaxiopoulos, N. Axelos, and K. Pekmestzi, "DONUT: a double node upset tolerant latch," IEEE Comput. Soc. Annu.Symp. VLSI, 2015. doi: 10.1109/ISVLSI.2015.72.
- [13] A. Watkins and S. Tragouodas, "A highly robust double node upset tolerant latch," IEEE Int'l Symp. Defect & Fault Tolerance VLSI & Nanotechnol. Syst., 2016. doi: 10.1109/DFT.2016.7684062.
- [14] R. Naseer and J. Draper, "The DF-DICE storage element for immunity to soft errors," IEEE Int'l Midwest Symp. Circuit & Syst., pp.303-306, 2005.
- [15] M. Omana, D. Rossi, and C. Metra, "High-performance robust latches," IEEE Trans. Comput., vol.59, no.11, pp.1455-1465, Nov. 2010.
- [16] M. Fazeli, S. Miremadi, A. Ejlali, and A. Patooghy, "Low energy single event upset/single event transient-tolerant latch for deep subMicron technologies," IET Comput. Digital Tech., vol.3, no.3, pp.289-303, May 2009.
- [17] C. Qi, L. Xiao, J. Guo, and T. Wang, "Low cost and highly reliable radiation hardened latch design in 65 nm CMOS technology," Microelectron. Reliab., vol.55, no.6, pp.863-872, May 2015.
- [18] K. Katsarou and Y. Tsiatouhas, "Soft error interception latch: Double node charge sharing SEU tolerant design," Electron. Lett., vol.51, no.4, pp.330-332, Feb. 2015.
- [19] Y. Li, H. Wang, S. Yao, X. Yan, Z. Gao, and J. Xu, "Double node upsets hardened latch circuits," J. Electronic Test.: Theor. & Appl., vol.31, no.5.6, pp.537-548, Dec. 2015.
- [20] A. Yan, Z. Huang, M. Yi, J. Cui, and H. Liang, "HLDTL: High-performance, low-cost, and double node upset tolerant latch design," IEEE VLSI Test Symp., 2017. 10.1109/VTS.2017.7928930.
- [21] 須田, 萩原, 酢屋, 濱野, 高田, 今関, "放射線医学研究所 速中性子発生用加速器システム (NASBEE)," 日本放射化学会, 放射線化学 vol.87, pp.38-42, 2009.
- [22] A. Balijepalli, S. Sinha, and Y. Cao, "Compact modeling of carbon nanotube transistor for early stage process-design exploration," Int'l Symp. Low Power Electronics & Des., pp.2-7, 2007.
- [23] W. Zhao and Y. Cao, "New generation of predictive technology model for sub-45nm early design exploration," IEEE Trans. Electron Devices, vol.53, no.11, pp.2816-2823, Nov. 2006.
- [24] Y. Cao, T. Sato, D. Sylvester, M. Orshansky, and C. Hu, "New paradigm of predictive MOSFET and interconnect modeling for early circuit simulation," IEEE Custom Integr. Circuit Conf., pp.201-204, 2000.

### 〈 発 表 資 料 〉

題 名	掲載誌・学会名等	発表年月
Master-slave FF using DICE capable of tolerating soft errors occurring around clock edge	IEICE Trans. Inf. & Syst.	2020 年 4 月
Complete double node upset tolerant latch using C-element	IEICE Trans. Inf. & Syst.	2020 年 10 月