

放射損失の少ない SIW 共振器・配線を用いた 200GHz 帯 CMOS 発振器の開発

研究代表者 ポカレル ラメシュ クマール 九州大学 大学院システム情報科学研究院 教授

1 Abstract

Beyond 5G 移動通信、防犯用イメージング、宇宙 IoT (Internet of Things) など超高速ワイヤレスブロードバンド通信システムや高度安心安全システムの実現に向け、ミリ波やテラヘルツ波を利用する技術の開発が世界的に注目を集めている。そのコアとなるオンチップ配線、オンチップキャビティ共振器及び発振器には、より高い周波数の発振性能はもとより、高い Quality (Q) 値を満たすことが求められる。更に、その共振器を既存のシリコンプロセスで試作し、CMOS 集積回路に内蔵できれば、より安い価格で利用範囲が大きく拡大する。しかし現状では、既存の CMOS プロセスで試作した 60GHz 帯のオンチップ共振器の負荷 Q-値は 1-2 程度に留まっている。本研究は、Substrate Integrated Waveguide (SIW) 型共振器を設計し、既存の CMOS プロセスで試作した。提案のオンチップキャビティ共振器を用いた発振器回路を設計、試作し、評価を行った。更に、提案のキャビティ共振器を用いた W 帯オンチップバンドパスフィルタを設計、評価も行った。一例として、提案のキャビティ共振器の実測結果によると、反射係数ピーク値は 97.2GHz において -32.71dB であり、シミュレーション結果と一致した。同様に外部 Q 値は 193 を実現できた。標準面積から約 91%の面積縮小に成功した。提案の設計技術の有効性を確認した。

2 挿啓

移動通信システムでは LTE (Long Term Evaluation) や WiMAX (Worldwide Interoperability Microwave Access) 技術の普及に伴い、日常生活の中でワイヤレスブロードバンドは重要な役割を果たすようになっている。2020年の東京オリンピック開催時期に実現予定の 5G の移動通信システムでは基地局機能分割等の技術により実用化レベルで無線通信速度を 10Gbps (Giga Bits Per Second) の達成を予定している。更に、安心安全社会の実現に向け人工知能 (AI: Artificial Intelligence) の活用が期待されており、IoT/IoH/IoS (Internet of Things/Internet of Humans/Internet of Space) のトリリオン・センサデータや超高精細映像等のビッグデータの利用が進むことで、2030年頃に通信速度が 1Tbps (Tera bit per second) を超えるフロント/バックホール技術が求められている。この様に、従来の無線通信システムの伝送速度より何百倍も速い第 5 世代以降 (beyond 5G) 移動通信システムには、ミリ波やテラヘルツ波 (100GHz~1THz) による無線化が検討されている。

このような背景の中、無線フロントエンド回路の実現に不可欠である、低コスト且つシステムへの集積が容易で、且つ高い出力と低い位相雑音性能を同時に満たすテラヘルツ信号発生器の実現が至急に求められている。これまでは、フォトダイオードや共鳴トンネルダイオードを用等て、テラヘルツ信号源の研究開発が盛んに行われていたが、何れにおいてもシステムオンチップ化の難しさ、重量、コスト、周波数の増加に伴い位相雑音と出力と言った性能の劣化等が大きな課題となっているため、CMOS 等の標準的な Si 半導体プロセスにおいてテラヘルツ信号を発生する CMOS 発振器の研究開発が不可欠である。しかし現状では、実用的な出力・位相雑音性能をもつ CMOS 発振器の周波数は 60GHz 程度に留まっている。その理由としては、周波数の増加に伴い CMOS 基板内のトランジスタを接続する配線や従来型の共振器に用いられるスパイラルインダクタ (L)、キャパシタ (C) と言った回路素子が放射してしまうため、従来の設計論による回路素子だけで 100GHz を超える領域での CMOS 発振器の開発が困難である。

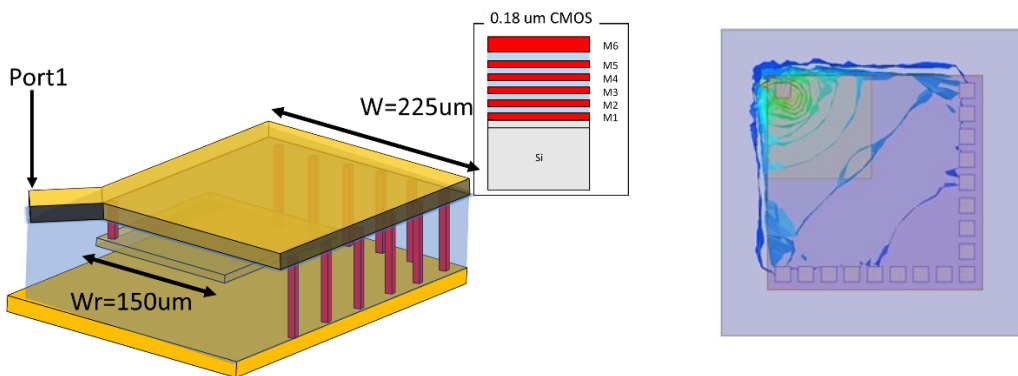
本研究では、この新しい原理の共振器をさらに発展させるため、まず放射損失の少ない Substrate Integrated Waveguide (SIW) による 200GHz 波帯の新たな共振器を CMOS 基板内に設計し、それらを活かすことによって、CMOS 発振回路、オンチップバンドパスフィルタの有効性を確認した。

2 設計手法

本研究では、次世代無線通信システム用オンチップキャビティの新たな構造を提案し、それらを用いてキャビティ共振器、オンチップバンドパスフィルタと発信器の新たな設計論を提案し、その有効性を確認した。ここでは、それぞれを述べる。

2.1 オンチップキャビティ共振器の開発

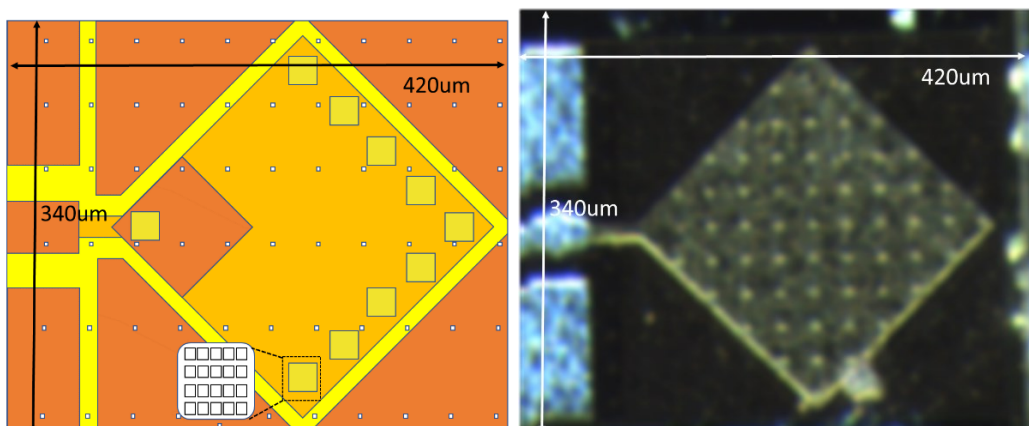
まず、銅板のうち二つをグラウンド (GND) と上部の金属板として使用し、via で電氣的に接続することで CMOS を用いた SIW を設計することを提案した。導波管モードからマイクロストリップ (MS) モードに変換するため、tapper 構造を採用した。これにより提案配線の損失は従来型の MS や Coplanar Waveguide (CPW) 型配線より半分小さくなることを電磁界シミュレーションより確認した。更に、Quarter モード (QM) SIW (QMSIW) は共振器に適応される小型化手法を採用し、面積を更に小型にした。電界の対称面に沿って四分分割した構造をとる。Ridge 構造による小型化は SIW 導波路と SIW 共振器のいずれにも適応され、全体的なサイズを変えないまま共振周波数を下げることができる。これにより構造のリアクタンスが変化し、QMSIW から相対的にサイズを縮小させることができる。更に、トップメタルに Complementary Split Ring Resonator (CSRR) をエッチングすることで、サイズを変化させないまま約 40GHz 共振周波数を下げることが成功した。CSRR は Ridge と同じく、サイズの変化なく共振周波数を下げることができるため、相対的なサイズの縮小につながる。図 1 (a) に 0.18 μm CMOS プロセスを用いて設計した立体構造を示す。図 1 (b) にそのキャビティ内の磁界の 3 次元電磁界解析のシミュレーション結果を示す。



(a) 提案キャビティ共振器の立体構造

(b) キャビティ内の電磁界解析シミュレーション結果

図 1: 提案の 3 次元キャビティ共振器モデルと電磁界解析シミュレーション結果



(a) キャビティ共振器のレイアウト

(b) チップ写真

図 2: 提案キャビティ共振器のレイアウトとチップ写真

TABLE I
THE PERFORMANCE COMPARISON OF THE PROPOSED WORK WITH THE STATE-OF-THE-ART

References	Fabrication Process	Frequency [GHz]	Quality Factor Simulated (Measured)	Cavity's active area (mm ²)	Size Reduction Ratio Compared with a Full- Mode Cavity [%]
[6]	In-built Si-Monolithic Fabrication Process	87.3	111(101)	0.566	91%
This work	Commercial CMOS Process	96.9	225(193)	0.0506	91.8%

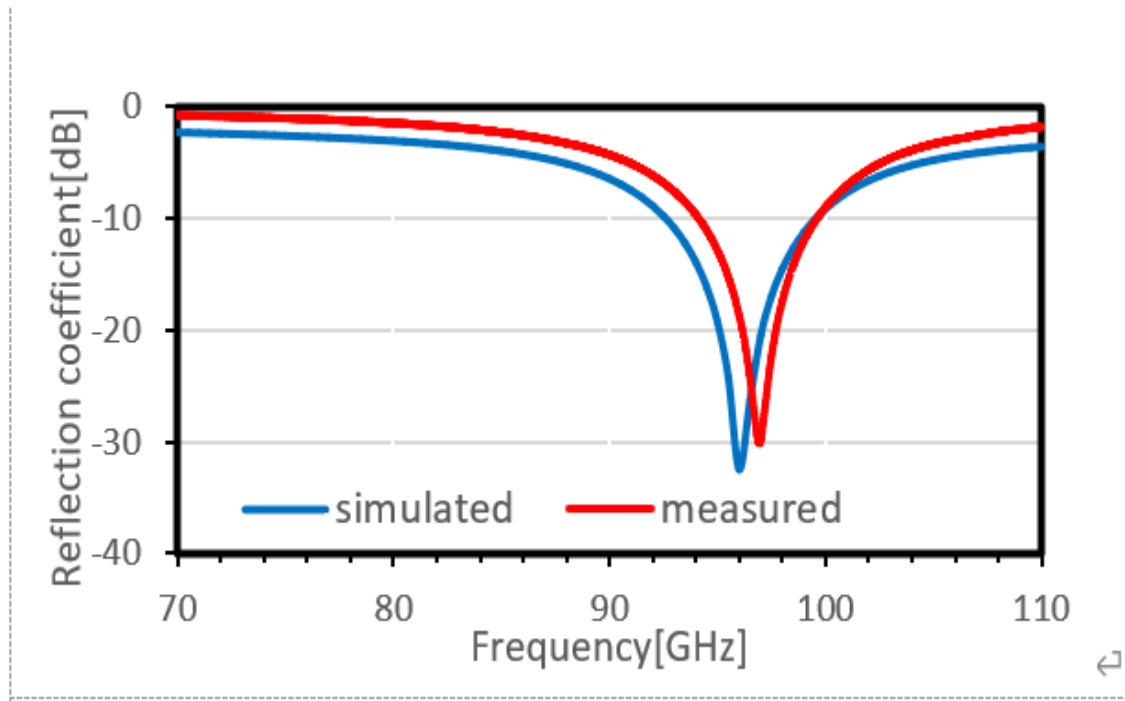


図 3：測定結果とシミュレーション結果の比較

それをレイアウトに変更し、0.18um CMOS プロセスで試作したチップを図 2 (b) に示す。そのチップを評価し、実測する。図 3 に計測結果とシミュレーション結果の比較を示す。実測結果との比較のために Pad を含んだ HFSS シミュレーション結果・共振器単体の HFSS シミュレーション結果も合わせて示す。実測結果によると、反射係数ピーク値は 97.2GHz において-32.71dB であり、シミュレーション結果と一致した。CSRR をエッチングすることで本来の面積から約 91%の面積縮小に成功した。測定用パッドを含めた最終的なサイズは 420um×340um でかなり小型化に成功した。

負荷 Q 値においては、実測で 193 という結果であり、シミュレーション結果 (255) と比べ減少した。従来のキャビティ共振器と比較した結果を Table1 に示す。従来型の LC 共振器の Q 値より大幅に改善できた。設計段階で目標としていた約 98GHz での共振が確認できたことより、CMOS プロセスを用いた小型 SIW 共振器の設計という点では、ほぼ理想的な結果が得られた。同様に 300GHz, 200GHz, 150GHz 帯のキャビティ共振器の設計も既に完了しており、現在試作中である。チップが届き次第、評価し、権威の高い国際学会やジャーナルに論文を投稿する予定である。

2.2 オンチップバンドパスフィルタの開発

高Q値のオンチップバンドパスフィルタ(BPF:Band pass filter)は発信回路に不可欠であるため、本研究では、100GHz帯 SIW キャビティ共振器を用いた CMOS プロセスで BPF を設計した。CMOS プロセスにて、非常に小さな面積かつ高Q値で SIW キャビティ共振器を実現できることを示し、アプリケーションとしての 100GHz を注目した。100GHz 帯の BPF を通倍回路を用いれば 200GHz 帯の発振回路の設計は可能になります。提案回路の三次元モデルを図4に示す。

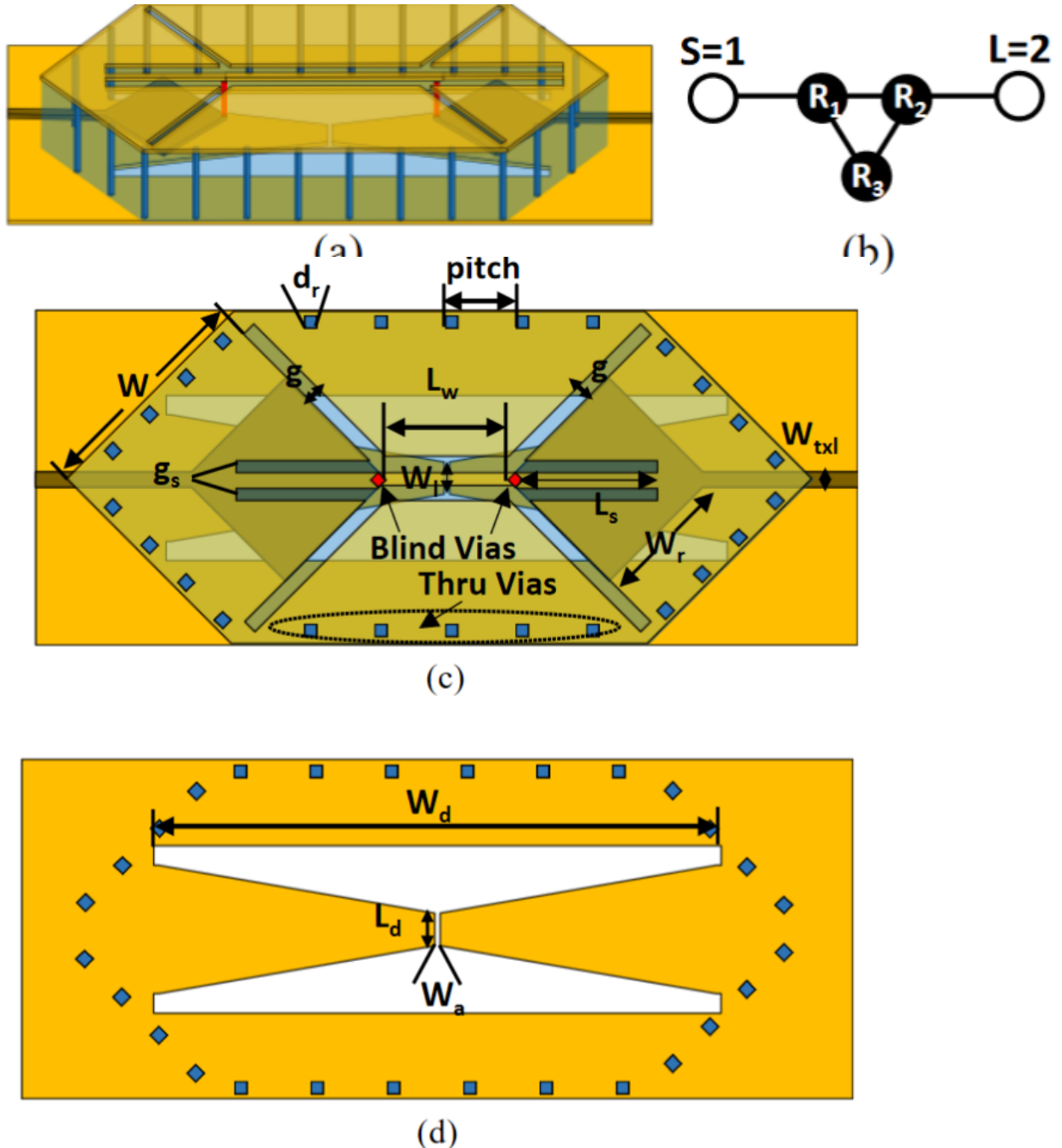


図4:提案のキャンディー共振器を用いたオンチップバンドパスフィルタのモデル (a)3次元モデル (R1=キャビティ共振器モデル、R2=DGS(defected ground structure)共振器) (b)等価回路(c)提案フィルタの断面図 (d)DGS共振器モデル。

本研究では、提案の QMSIW と DGS (Defected Ground Structure) で構成された 3 次元モデルを図 4(a) に示す。その等価回路および結合手法を図 4(b) に示す。2 種類の共振器の結合を制御するために、図 4(c) のように接続させ、不要なリップルを抑制する。図 4(d) に DGS 共振器の設計図を示す。

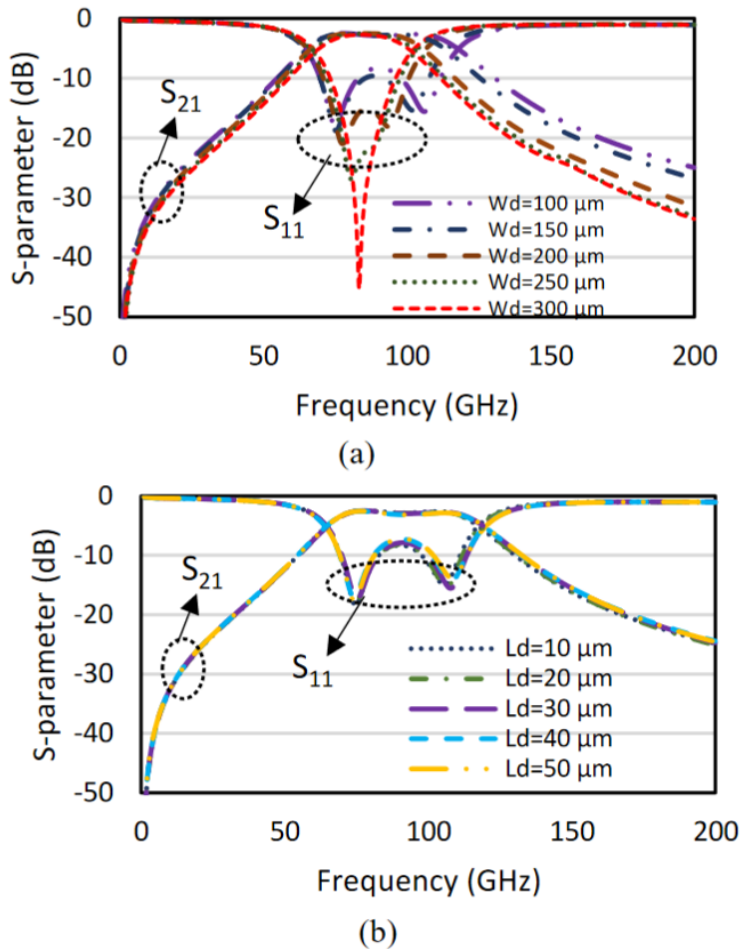


図 5 : 設計したオンチップバンドパスフィルタのシミュレーション結果
(a) W_d の影響 (b) L_d の影響

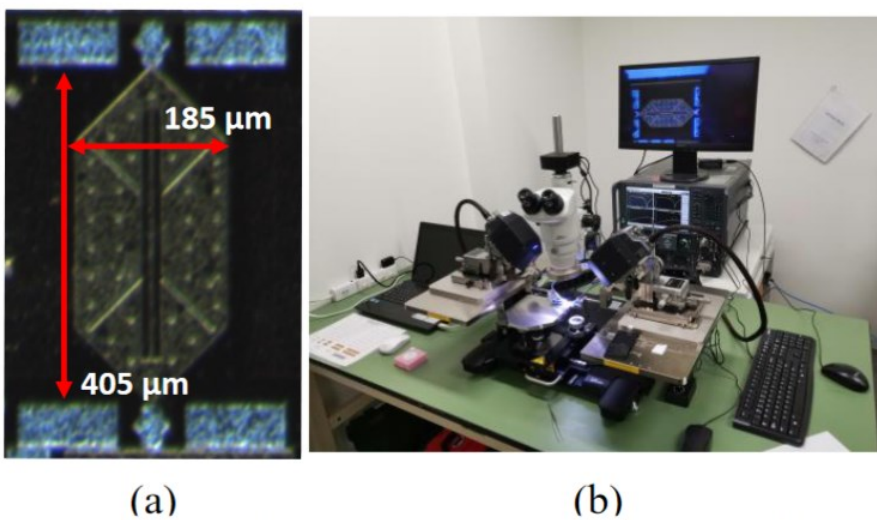


図 6: 提案チップの写真 (a), ミリ波帯の測定システム (b)

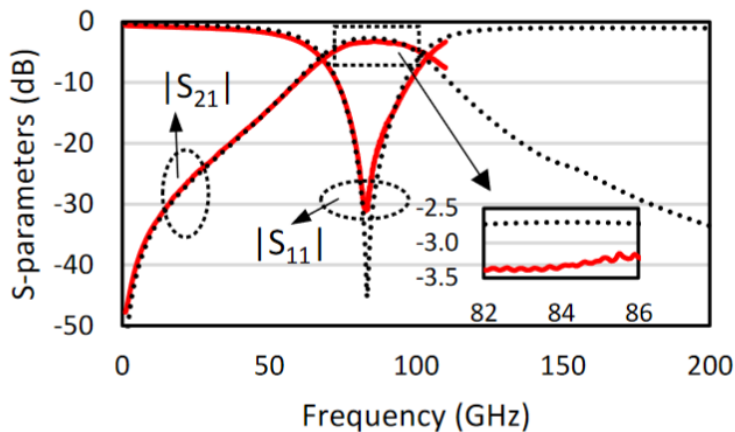


図 7：提案のオンチップバンドパスフィルタの測定結果とシミュレーション結果の比較

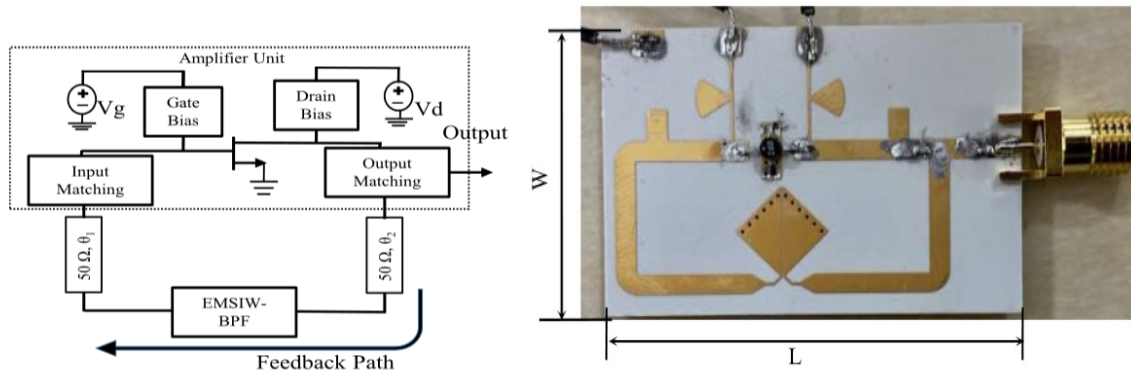
本研究の結果を活用することで、ミリ波やテラヘルツ帯の CMOS 小型で高性能なキャビティ共振器をベースにしたフィルタ、発振器、オンチップアンテナ、フェイズシフターなどを開発するためのロードマップを開くものが期待されています。近年、移動通信の需要が急増しており、次世代無線通信技術の開発が急がれます。ビヨンド 5G 通信では、ミリ波やテラヘルツ波の導入を見込んでおり、フェーズド・アレイやビームフォーミング技術などの先端技術の実現により、さらに高速、安定性の高い通信の実現を目指しています。フィルタ、発振器やアンテナは無線通信システムを構成する必要不可欠なパーツであり、本研究が提案した高 Q 値キャビティをベースに実現したフィルタやアンテナは小型、低損失などの特性が期待できます。低損失特性の実現には、無線通信システム全体の消費電力を抑制することと繋がっており、電池のサイズを縮小することにより、無線通信システム全体の小型化にも貢献できます。また、本研究成果を活用し設計した発振器は低位相雑音特性の実現が期待できるため、安定かつ高速の通信の実現と直結します。

配線や回路素子の放射の問題が解決できれば、CMOS 発振器のテラヘルツ帯でも実用化可能なレベルの電力と位相雑音性能が実現できるため、本研究では、そのコア技術となる放射損失の少ない SIW による共振器及び配線を CMOS プロセスで実装し、その設計手法を確立する。これらを活かすことによって、テラヘルツ帯を利用する次世代高速無線通信端末や各種センサ等への搭載を目指し、高い出力と低い位相雑音性能を同時に満たす **200GHz 帯 CMOS 発振器**を開発する。更に、本研究で開発する SIW 配線と共振器は、発振器のみならず、高性能のパワーアンプ (PA)、ミキサやオンチップアンテナといった他の回路で活かすことができるため、最終的に図 1 に示すように CMOS トランシーバーの開発を目指す。本研究に提案する CMOS 基板内の SIW 技術により、現在大きな問題になっている配線や回路素子の放射問題が解決でき、CMOS トランシーバーの実用化的な周波数が拡大し、今後テラヘルツ帯の低コストの CMOS トランシーバーの実現の道が近づくと考える。

2.3 発信器回路の開発

この章では、提案のキャビティ共振器とオンチップキャビティバンドパスフィルタを用いて 2 種類の発振器を開発したため、その設計手法を以下に述べる。

(i) 提案のキャビティ共振器を用いた発振器においては、1/20 倍短縮した発振器モデルを先に設計し、市販の基板を用いて試作し、評価を行った。その設計回路、開発デバイスを図 8 に示し、位相雑音の測定結果とシミュレーションの比較を図 9 に示す。予想とおり優れた結果を得たため、本成果を現在当該分野の権威の高い国際ジャーナルである IEEE Microwave and Wireless Components Letters にて発表した。



(a) キャビティ共振器を用いた発信回路 (b) キャビティ共振器を用いた発振器
 図 8: 提案のキャビティ共振器を用いた設計回路およびデバイス

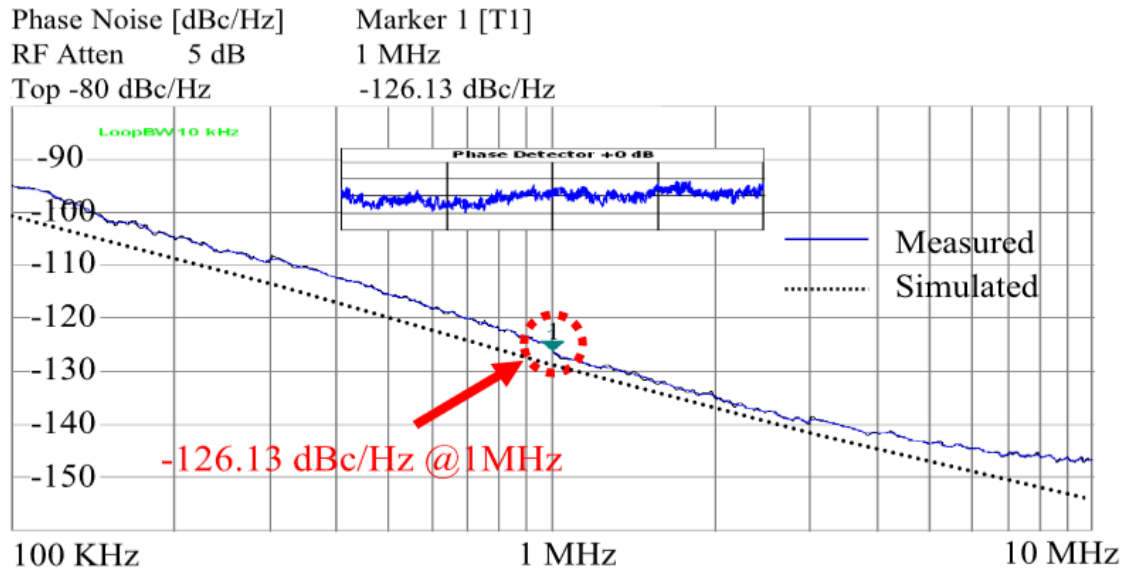


図 9: キャビティ共振器を用いた発信器の位相雑音の測定結果とシミュレーション結果の比較

(ii) 提案のキャビティ共振器とオンチップバンドパスフィルタを用いた発振器においては、1/4 倍短縮した発振器モデルを設計し、CMOS 技術を用いて試作し、評価を行った。その設計回路、開発デバイスを図 10 に示し、位相雑音の測定結果とシミュレーションの比較を図 11 に示す。予想とおり優れた結果を得たため、本成果を現在当該分野の権威の高い国際ジャーナルに投稿する予定である。

DGSキャビティ共振器

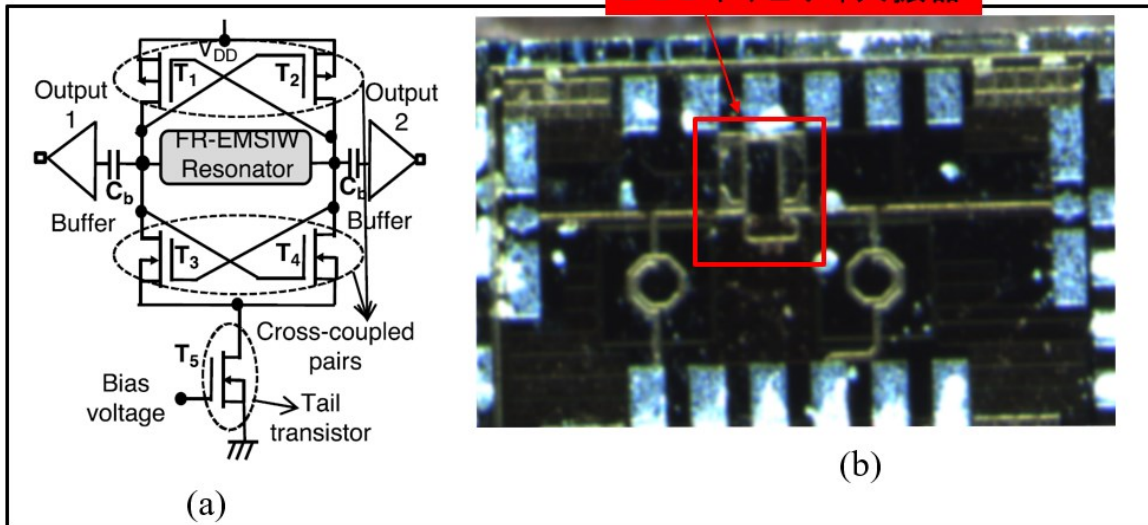


図 10: キャビティ共振器とバンドパスフィルタを用いた 1/4 短縮 CMOS 発振器回路図(a) と試作したチップ写真(b)

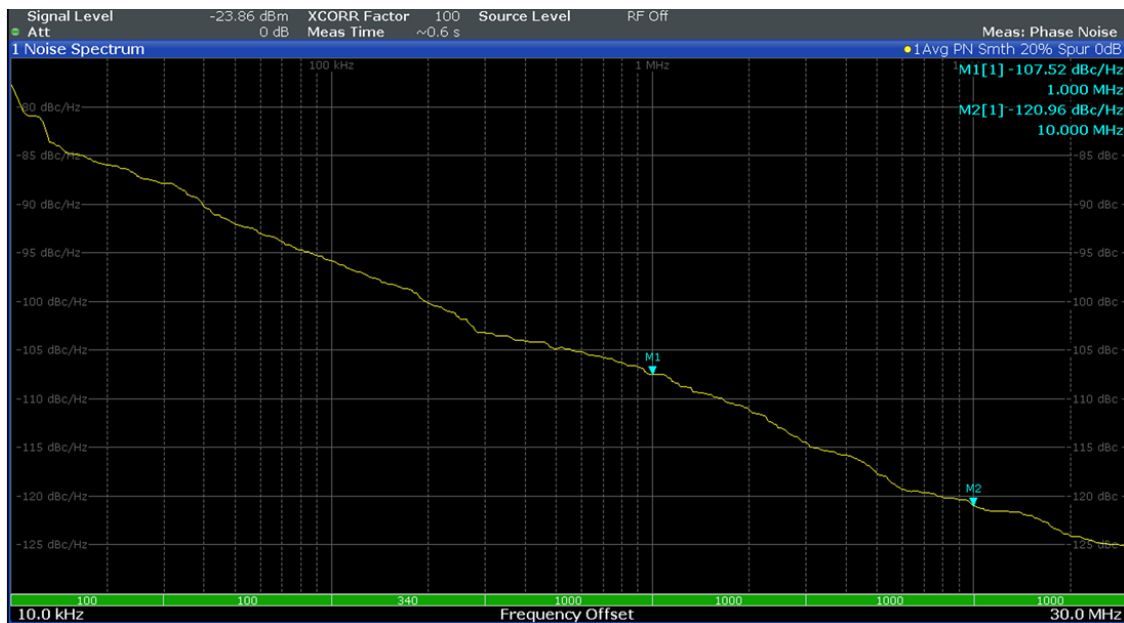


図 11: キャビティ共振器を用いた 1/4 モデル CMOS 発振器の位相雑音の測定結果

結論: 本研究では、次世代無線通信システム用 CMOS プロセスを用いた低損失のキャビティ共振器(SIW型)、オンチップバンドパスフィルタとそれらを用いた発振器を開発し、それぞれの新たな設計手法を提案した。世界で初めて優れた結果を得ることができ、当該分野の権威の高い国際ジャーナルおよび学会で発表することができた。研究助成金を頂いたことに深く感謝申し上げます。今後、提案の共振器を用いてフィルタや発振器、アンテナなどのアナログ回路に応用することで、ミリ波を含むテラヘルツ波と

いう次世代無線通信においては、高性能のフロントエンドの開発ができることが期待される。

【参考文献】

- [1] X. Li, J. Xiao and J. Yu, “Long-Distance Wireless mm-Wave Signal Delivery at W-Band,” *Journal of Lightwave Technology*, vol. 34, no. 2, pp. 661-668, 15 Jan.15, 2016
- [2] N. Jahan, S. A. Enche Ab Rahim, H. Mosalam, A. Barakat, T. Kaho, and R. K. Pokharel, “22-GHz-Band Oscillator Using Integrated H-Shape Defected Ground Structure Resonator in 0.18-um CMOS Technology,” *IEEE Microwave and Wireless Components Letters*, vol. 28, no. 3, pp. 233-235, March 2018
- [3] C. Chen, C. Hsu and H. Chuang, “Design of Miniature Planar Dual-Band Filter Using Dual-Feeding Structures and Embedded Resonators,” *IEEE Microwave and Wireless Components Letters*, vol. 16, no. 12, pp. 669-671, Dec. 2006
- [4] Y. Lyu, L. Zhu and C. Cheng, “Dual-Band Differential Phase Shifter Using Phase- Slope Alignment on Coupled Resonators,” *IEEE Microwave and Wireless Components Letters*, vol. 28, no. 12, pp. 1092-1094, Dec. 2018
- [5] Y. J. Cheng and X. L. Liu, ”W-Band Characterizations of Printed Circuit Board Based on Substrate Integrated Waveguide Multi-Resonator Method,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 64, no. 2, pp. 599-606, Feb. 2016
- [6] T. R. Jones and M. Daneshmand, “Microfabrication of a Miniaturized Monolithic Folded Half-Mode Integrated Waveguide Cavity for W-Band Applications,” in *Dig. of IEEE MTT-S Int. Microwave Symp.*, Los Angeles, CA, USA, pp. 127-130, 2020.
- [7] M. Shahidzadeh Mahani, and G. W. Roberts, “A mmWave Folded Substrate Integrated Waveguide in a 130-nm CMOS Process,” *IEEE Trans. Microw. Theory Tech.*, vol. 65, no. 8, pp. 2775-2788, Aug. 2017.
- [8] T. R. Jones and M. Daneshmand, “Miniaturized Reconfigurable Dual-Band Bandstop Filter with Independent Stopband Control using Folded Ridged Quarter-Mode Substrate Integrated Waveguide,” *IEEE MTT-S Int. Microwave Symp.*, Boston, MA, USA, pp. 102-105, 2019.
- [9] D. E. Senior, A. Rahimi, and Yong-Kyu Yoon, “A surface micromachined broadband millimeter-wave filter using quarter-mode substrate integrated waveguide loaded with complementary split ring resonator,” *IEEE MTT-S Int. Microwave Symp.*, Tampa, FL, pp. 1-4, 2014.
- [10] Y. Shang, H. Yu, D. Cai, J. Ren, and K. S. Yeo, “Design of High-Q Millimeter-Wave Oscillator by Differential Transmission Line Loaded With Metamaterial Resonator in 65-nm CMOS,” *IEEE Trans. Microw. Theory Tech.*, vol. 61, no. 5, pp. 1892-1902, May 2013.
- [11] H. Tang, G. Yang, J. Chen, W. Hong, and K. Wu, “Millimeter-wave and terahertz transmission loss of CMOS process-based substrate integrated waveguide,” in *Dig. of IEEE MTT-S Int. Microwave Symp.*, Jun. 2012, pp. 1–3.
- [12] T. R. Jones and M. Daneshmand, “Miniaturized Folded Ridged Quarter-Mode Substrate Integrated Waveguide RF MEMS Tunable Bandpass Filter,” *IEEE Access*, vol. 8, pp. 115837-115847, 2020
- [13] R. J. Cameron, C. M. Kudsia, and R. R. Mansour, *Microwave Filters for Communication Systems: Fundamentals, Design, and Applications*, 2nd ed. Hoboken, NJ: Wiley, 2018.

〈発表資料〉

題 名	掲載誌・学会名等	発表年月
Miniaturized Slot-Loaded SIW Resonator and Its Application to C-band Low Phase Noise and high power Oscillator	<i>Proc. of 2020 50th European Microwave Conference (EuMC)</i>	2021年1月
X-Band Feedback Type Miniaturized Oscillator Design with Low Phase Noise Based on Eighth Mode SIW Bandpass Filter	<i>IEEE Microwave and Wireless Components Letters</i>	2021年5月

Design of Low Phase Noise VCO Considering C/L Ratio of LC Resonator in 0.18- μ m CMOS Technology	<i>IEEE Trans. On Circuits and System-Express Brief II</i>	2021年5月 (Early Access)
Utilization of Multi-Resonant Defected Ground Structure Resonators in the Oscillator Feedback for Phase Noise Reduction of K-Band VCOs in 0.18- μ m CMOS Technology	<i>IEEE Transactions on Circuits and Systems I: Regular Papers</i>	2020年4月

査読中の論文

題名	掲載誌・学会名等	発表年月
Design of Compact and High Q-Factor W-Band Cavity in 0.18- μ m CMOS Technology	<i>Proc. of 2021 51st European Microwave Conference (EuMC)</i>	(Under review)
A W-band 0.01 mm ² Cavity Resonator Employing Slot-loaded Shielded Folded Ridged Quarter-Mode in CMOS Technology	<i>IEEE Microwave and Wireless Components Letters</i>	(Under second review)
A W-band Compact Substrate Integrated Waveguide Bandpass Filter With Defected Ground Structure in CMOS Technology	<i>IEEE Transactions on Circuits and Systems II: Express Briefs</i>	(Under review)