

# マルチモード干渉計型導波路を用いた超低遅延な光デコーダ

研究代表者

相川 洋平

東京科学大学 未来産業技術研究所 助教

## 1 はじめに

CMOS 技術は、ムーア則に基づいてトランジスタの微細化による集積度の向上を繰り返すことで、高性能化を継続的に達成してきた。この技術革新により計算機の処理能力やエネルギー効率の大きく向上した。現在の情報社会の発展を支えてきた基盤技術の一つである。しかしながら、近年では微細化の物理的・技術的限界が指摘されており、微細化に基づく配線抵抗の上昇が無視できない問題となっている。配線抵抗が大きくなることで RC 遅延が増加し、これがプロセッサ全体の処理速度を制約する要因となっていた。

本研究に着手した当時、このような遅延の問題は、リアルタイム処理が要求されるアプリケーションにとって重大なボトルネックとみなされていた。こうした背景のもと、電気信号による従来の電子回路の限界を超えるために、光技術を活用した新たな計算アーキテクチャが注目されてきた。とくに、光の並列性や高帯域性といった特性を活かした計算手法として、リザバーコンピューティングやニューロモフィックコンピューティングといった研究分野が活発に展開され、多数の成果が報告されている[1-3]。これらの技術は、光のアナログ信号処理能力に着目したものであり、特定のタスクや予測処理においては高い性能を発揮する。その一方で、演算の対象が限定的であるため、汎用的なデジタル論理演算には適用が難しいという課題が存在していた。

このような技術的状況を踏まえ、申請者は新たに、従来 CMOS 回路上で実行されてきたデジタル演算処理を光領域で代替するというコンセプトを提案した。この手法では、外部からの動的制御を必要とせず、光の自然な伝搬過程を利用して演算を完了させることが可能であり、理論的には極めて高帯域かつ低遅延な信号処理が実現可能となる。これまでも、CMOS 回路で一般的に用いられているいくつかの基本的な論理機能に相当する光デバイスの実現が試みられており、たとえば、半加算器[4, 5]、全加算器[6, 7]、さらにはデコーダ[8-12]といった回路構成が光技術によって設計され、実装・検証されている。

なかでも、デコーダは CPU などのプロセッサにおける命令解析処理に広く用いられていることから、その光実装は汎用性の高いアプリケーションに直結する重要な要素と考えられている。具体的には、*Arunava* ら、*Hassan* ら、および *Yi* らによって、半導体光増幅器 (SOA: semiconductor optical amplifier) を用いた構成が報告されており [8-10]、これらの手法は光信号同士の非線形相互作用を利用してデコーダ機能を実現している。また、*Tina* らは、フォトニック結晶導波路構造を活用することで、よりコンパクトな光デコーダを構成する方式を提案している [11]。しかしながら、これら従来手法の多くは、非線形光学現象に依存しているため、高強度光源を必要とし、省電力の効果が大きくないという課題を抱えていた。加えて、非線形効果を実現するために素子構造の物理的な長さが増大する傾向にあり、それに伴って信号伝搬遅延も増加するという新たな課題が発生していた。こうした背景の中で、*Haraprasad* らは、非線形性に依存しない線形干渉に基づいた光デコーダを提案した [12]。ただし、この手法は 1 ビットの信号処理を対象としたものであり、複雑なデジタル機能の実現に向けては拡張性や汎用性の面で多くの課題が残されている。

このように、デジタル回路を光技術によって置き換える試みは着実に進展しているものの、依然として電力消費・処理遅延と回路機能との間にはトレードオフが存在している。それらを同時に満たす実装方式の確立が今なお求められている。

## 2 研究目的

### 2-1 本研究の前進となる光デコーダ

本研究内容に入る前に、前進として取り組んできたデコーダ回路の詳細について述べる。デコーダとは、入力された信号に対し、そのビット列の組み合わせに応じて異なる出力ポートを ON 状態とするように動作する回路である。先行研究では、線形光学干渉を用いたデコーダ動作の実現手法を提案した。この手法では、2 ビットの二値位相変調 (BPSK: Binary Phase-Shift Keying) 信号に対し、各ビット列に応じた異なる位相シフトを与えて信号を合波し、複素平面上において対象符号との尤度を再構成する。さらに、アシスト光との

干渉によって複素座標を平行移動させることで、目的とする符号と一致する信号のみが高い光強度を示すように制御し、光デコーダとして機能させる構成を提案した。

具体的な構成を図1の左側に示す。ここでは、2ビットに相当する光信号AおよびBに対応したデコーダ回路を想定しており、2ビット信号に基づいてデコーダとして動作する光回路の動作原理を示している。図中では、上から順に、信号AおよびBに対してそれぞれ、 $0-0$ 、 $0-\pi$ 、 $\pi-0$ 、および $\pi-\pi$ の位相シフトを与えた場合の応答を示している。たとえば、 $0-0$ の条件を例にとると、信号AおよびBのそれぞれが2ビットのBPSK信号であると仮定した場合、これらを重ね合わせた光信号の複素座標は当該図の中央に示すような分布をとることになる。この重ね合わせた信号に対し、アシスト光を導入することで、複素平面上の座標を一定量平行移動させることが可能となる。この操作によって、特定の光信号における強度を高めることができる。当該図のさらに右側に示すように、このとき、信号 $AB=00$ に対応する光信号のみが最大の光強度を示し、その他の符号に対応する信号は相対的に低い強度となることが分かる。同様に、 $0-\pi$ 、 $\pi-0$ 、および $\pi-\pi$ といった他の入力条件においても、異なる光信号が最大強度を持つような構成が設計されており、これによりデコーダ動作が光領域において実現されていることが確認できる。これにより、各入力ビット列に対して特定の出力ポートのみがON状態となり、他のポートは十分に抑制された出力を示すことから、デコーダ回路として機能する。

加えて、提案手法の動作原理を実際に検証するため、それに対応する光導波路デバイスの作製と、その性能に関する実験的な動作実証を行った。本研究では、シリコンフォトニクス技術を用いて光回路を構築することとし、具体的にはシリコン細線導波路をベースとした光集積デバイスを設計・製作した。このデバイスは、2つの遅延干渉計が縦列に接続した構造をとっており、各干渉計が異なる役割を担うことで複雑な干渉パターンを取得できるよう工夫した。一段目の遅延干渉計には10 GHz、二段目には20 GHzの自由スペクトル領域 (FSR: Free Spectral Range) を持たせる設計とし、それぞれの段で異なるタイミングの光信号同士が干渉するように構成した。本デバイスには、中心波長1550 nmにおける10 GBaudのBPSK信号を入力する。BPSK信号は4つの光シンボルからなり、一段目の遅延干渉計では後半2つを2ビットの情報ビット列として扱い、前半2つは二段目の干渉計でアシスト光として扱う。さらに、各干渉計内部にはヒーターを実装しており、外部からの電圧制御によって導波路内の屈折率を変化させ、任意の位相シフトを印加できる構成とした。これにより、各ビット列に対して必要な位相シフトを行い、狙い通りの干渉結果が得られるよう調整を行った。デバイスからの出力光信号は、サンプリングオシロスコープを用いて時間波形として観測し、10 GHz動作時におけるデコーダ機能の有効性を詳細に検証した。観測された出力は理論予測と整合し、各ビット列に応じて特定の出力が強調される挙動が確認されたことから、提案手法が実際のデバイス上で正常に機能していることが明らかとなった。

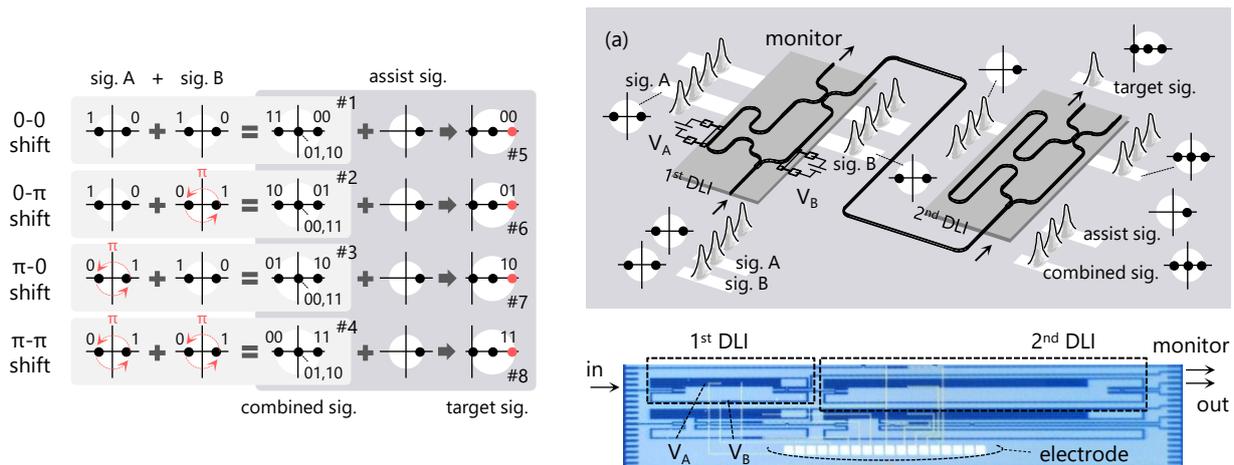


図1 前進となるデコーダ回路の動作原理 (左) およびデコーダデバイス (右)

本測定により得られた時間波形を図2に示す。図2では、左側が上から順に符号00および01に、右側が符号10および11にそれぞれ対応した位相シフト条件での出力波形をそれぞれ示している。波形の上部には、

信号 A および B に対応するビット配列が記されており、それぞれのビット列に対して入力信号がどのように構成されているかを明確に確認できる。また、各波形中で灰色にハイライトされた領域は、入力された 2 ビット信号と、それより 2 シンボル分前に入力されたアシスト光とが干渉した時間帯に相当する。この干渉により生成される信号の強度分布を観察することで、提案したデコーダ回路の動作が入力条件に応じて変化していることが明確に分かる。とくに、4 種類の波形を俯瞰した場合、4 つのハイライトされた時間領域の異なる箇所において光強度が最大となっていることが分かる。これは、各入力符号に対して異なる出力ポートが ON となるというデコーダの基本動作が実現されていることを示している。さらに、光信号と各符号とのビット間の尤度、すなわちハミング距離が光強度として明瞭に反映されており、図 1 で提案した動作原理に沿った挙動が実際のデバイス上でも忠実に再現されていることが分かる。加えて、各波形の右側にはアイパターンを併せて表示している。このアイパターンを解析することで、デコーダの識別性能を定量的に評価した。具体的には、ON ポートと OFF ポートにおける平均的な消光比を求めたところ、すべての符号条件において約 7.8 dB の消光比が得られた。この値は、理論的に見積もられた期待値と良好に一致しており、デバイスの設計精度と動作安定性が高いことを裏付けている。以上の結果から、提案した線形干渉に基づく光デコーダ回路が、実際の光導波路デバイス上で正しく機能していることが実験的に確認され、その有効性が明確に実証された。

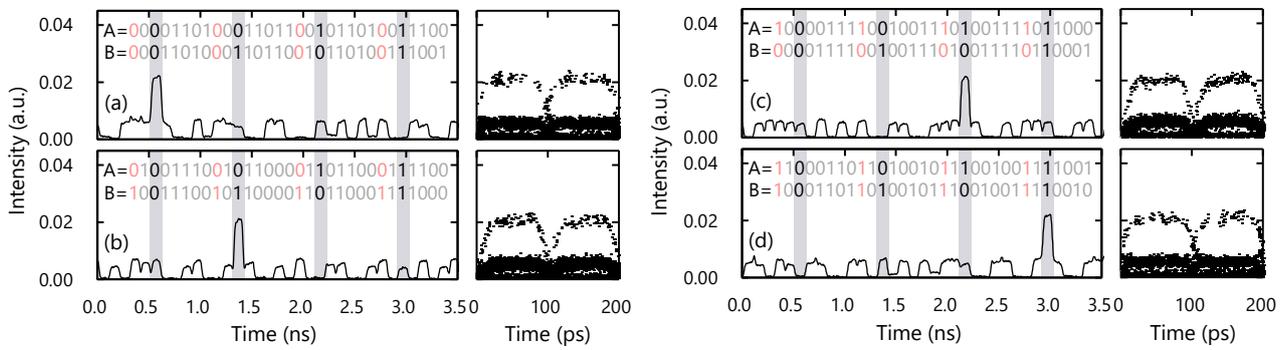


図2 前進となるデコーダ回路における動作波形：(a)–(d)が符号 AB=00, 01, 10, および 11 に相当

## 2-2 前進となる光デコーダを踏まえた上での本研究の目的

このように、線形光学干渉に基づくデコーダデバイスを提案し、遅延干渉計を用いた構成によってその動作を実際に実証することに成功した。提案手法では、入力符号に応じた出力選択を可能とするデコーダ機能を光領域で実現している点に大きな特徴がある。実験結果においても、位相条件ごとに出力光が明確に識別され、動作原理に基づく理論との整合が確認された。

一方で、本手法は時系列に並んだ複数の光信号に対して順次的な干渉を行うという性質上、それぞれの信号を適切なタイミングで重ね合わせるために遅延線が必要不可欠であった。この遅延線を形成するには、導波路長を確保する必要があるが、結果としてデバイスサイズが大きくなってしまいう課題があった。くわえて、各符号条件に対応した精密な位相回転量を安定的に付与するため、ヒータからなる位相シフタの長さもある程度必要となった。このような構造上の制約により、信号がデバイス内を伝搬する距離が長くなり、光信号の遅延時間が増加するという問題が発生した。

そこで本研究では、これらの課題を解消するために、遅延干渉計や長尺の位相シフタといった構成要素を用いることなく、よりコンパクトで高速応答性に優れた光デコーダを実現する新たな手法を提案した。当該手法では、マルチモード干渉計 (MMI: Multi-mode interferometer) 型の導波路デバイスを用いる。MMI は、複数の光モードが導波路内で自然に干渉し合う性質を利用することで、複雑な干渉パターンをコンパクトな構造内で実現できるという利点を持つ。当該手法では、この MMI 内部における固定的な光干渉を積極的に活用し、従来手法において動的な位相制御によって実現していた  $0-0$ ,  $0-\pi$ ,  $\pi-0$ , および  $\pi-\pi$  の各位相条件を、入射する信号光の条件のみで再現する構成を設計した。これにより、外部からの動的制御を必要とせず、デバイス構造自体にデコーダ機能を組み込むことが可能となる。その結果、素子全体のサイズを著しく小型化できるとともに、光信号の伝搬距離を短縮できるため、デバイス全体の応答速度が向上し、処理遅延の大幅な低減が可能となる。

### 3 動作原理

提案する復号化回路の構成を図3に示す。当該デバイスは、4入力4出力型のMMI (4×4 MMI) 導波路から構成されている。本デバイスは、BPSK信号を対象としており、2ビットの信号AおよびBをデバイス内側のポートであるI<sub>2</sub>およびI<sub>3</sub>からそれぞれ入力する構成としている。また、デバイス外側に位置するポートのうち片側、ここではI<sub>4</sub>ポートには、プローブ光を入力する構成とした。これにより、信号光とプローブ光の干渉が実現される。この構造により、信号光A-Bの組み合わせに応じて、異なる出力ポートに光が集光する仕組みが実現されており、結果として2ビットの復号化動作が可能となっている。

MMI内部では、複数の導波モードが互いに干渉することで、その結果として入出力ポート間に異なる位相シフトが自然に発生する。とくに、本構成ではMMI長を4分岐条件に合わせて最適設計することで、各入出力間における位相関係を精密に制御している。このときに生じる入出力間の位相シフト量を図3の上部右側に示している。また、それぞれの入力信号がどのような重ね合わせを経て出力ポートに伝搬するかを、図3の下部において視覚的に表現している。図3(a)-(d)は、それぞれ信号ABが00, 0- $\pi$ ,  $\pi$ -0, および  $\pi$ - $\pi$ の条件に対応している。当該図より、信号光の条件ごとに異なる干渉結果が得られることが分かる。なお、このときプローブ光の位相は0とした。

ここで、信号光に対してプローブ光の電界強度を $\sqrt{2}$ 倍に設定する場合に、各入力条件に対する出力ポートのコンスタレーションが明確に分離される。たとえば、図3(a)の条件では、出力ポートO<sub>2</sub>のみが他ポートよりも $\sqrt{5}$ 倍大きい光強度を示している。なお、このときO<sub>2</sub>以外の出力ポートにおける光強度は均等となる。同様に図3(b)-(d)に示すように、異なる信号に対しては異なる出力ポートが $\sqrt{5}$ 倍分大きくなっていることから、本デバイスがデコーダとして機能していることが分かる。

なお、Offポートの光強度が均等となっている点が興味深い。これは前進の研究におけるデコーダでは達成できなかった特徴である。Offポートの光強度が揃うことにより、判定処理における誤りを最小化することが可能となるので、デコーダとして駆動する上で極めて有効である。さらに、OnポートとOffポートの光強度比に相当する消光比は約7dBと評価されており、この値は高い識別性能を有する復号化回路として十分な水準であることを示している。以上のことから、本構成は光領域における2ビット復号化を安定かつ高精度に実現する手法として有効であるといえる。

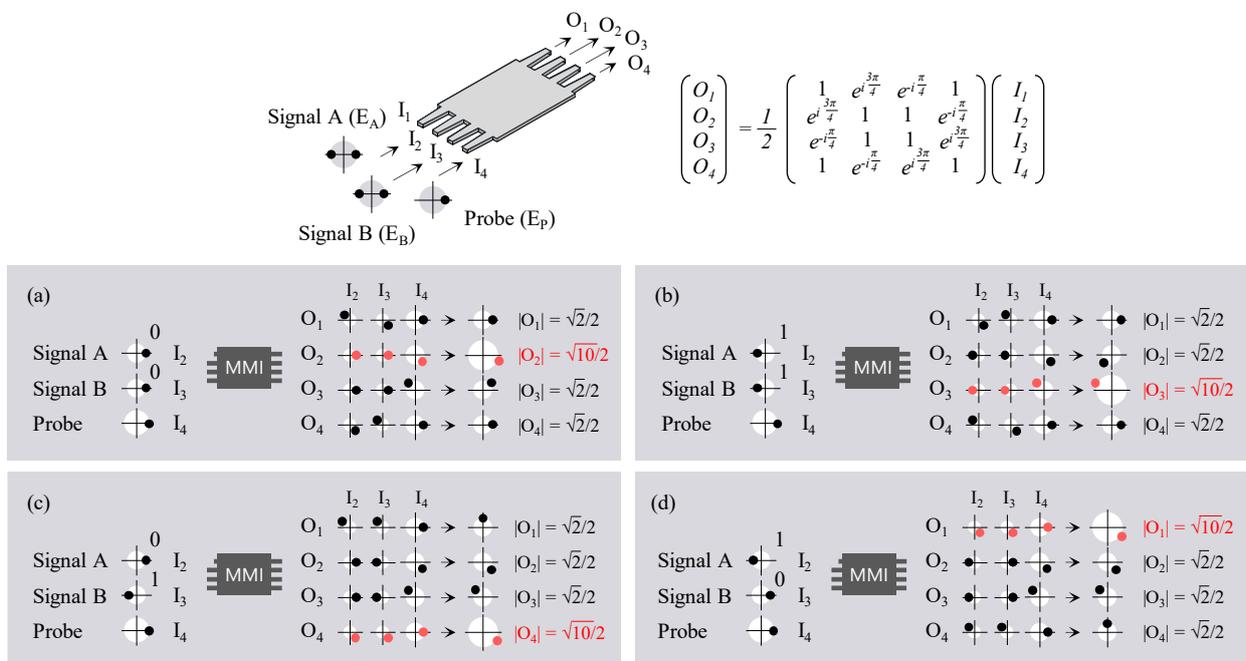


図3 4x4 MMI からの光デコーダおよびその動作原理：(a)-(d)が符号AB=00, 01, 10, および11に相当

## 4 理論検討

提案手法における動作の最適条件および動作の要求条件を明確にすることを目的として、理論的な検討を実施した。この検討では、前述の MMI 型復号化デバイスの入出力間における伝達行列をもとにして、出力ポートに現れる光強度を、入力される信号光およびプローブ光の動作パラメータを用いて表現した。さらに、入力信号とプローブ光の動作パラメータを変化させた際に、各出力ポートにおける光強度分布とそれに対応する消光比、ならびに On ポートにおける損失を導出した。

図 4 の左側には、信号光とプローブ光との強度比を変化させた際の消光比と、On ポートにおける損失の推移を示している。消光比が最大値を取る条件は、プローブ光の光強度が信号光に対して 2 倍（電界強度にして  $\sqrt{2}$  倍）である場合であり、このときの消光比は 7 dB に達することが分かった。一方で、On ポートにおける損失が最小となる条件は、プローブ光の強度が信号光の 0.8 倍となる場合であり、そのときの消光比は 5.1 dB となることが確認された。このことから、本デバイスの動作条件は目的に応じて少なくとも 2 つに分類できるといえる。1 つ目は消光比の最大化を目指す条件であり、光強度比が 2 倍となる構成である。2 つ目は On ポート損失の最小化を目的とした条件で、光強度比が 0.8 倍となる構成である。

さらに、各動作条件においてプローブ光の位相変動がデバイス性能に与える影響、すなわち位相トレランスを理論的に評価した。理論式においてプローブ光に対して理想的な位相からのずれを意図的に与え、そのときに得られる消光比の変動を解析した。得られた結果を図 4 の右側にまとめている。解析の結果、プローブ光の位相が理想状態から進行方向にずれる（または遅れる）と、特定の符号に対する消光比は減少（または増加）する一方で、別の符号に対しては反対に消光比が増加（または減少）することが分かった。このことは、すべての符号条件に対して消光比が最もバランス良く維持される理想的な動作点が存在することを示しており、その条件は位相ずれが 0 となる点に一致していた。また、消光比が 3 dB を超えることを復号時に機能する条件として、位相の許容範囲はいずれの条件においても約  $\pm \pi/8$  であることが判明した。これは、狭線幅レーザを用いた際に生じる典型的な位相誤差の範囲内に収まっており、提案手法が実用的な位相トレランスを備えていることを裏付けている。このように、本デバイスは消光比と損失に加え、位相変動に対しても安定した性能を示すことが確認された。

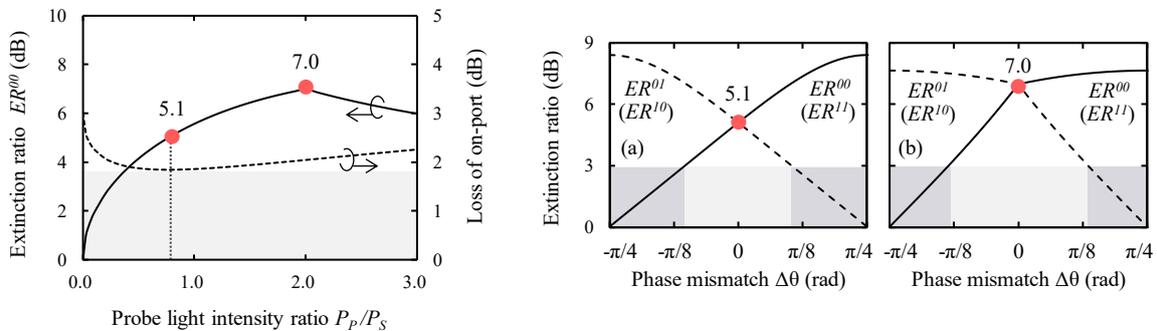


図 4 4x4 MMI からなる光デコーダにおける消光比の強度依存性（左）および位相トレランスの評価（右）

## 5 数値解析検討

動作の実現可能性を検証することを目的として、提案する光デコーダデバイスに対して数値計算による電磁界解析を実施した。本解析では、有限要素法（FEM: Finite Element Method）を用いて、デバイス内部における光波の伝搬特性と干渉挙動を可視化し、動作原理が物理的に正しく実現されているかを評価した。図 5 の上部に、今回の解析に用いたデバイスのモデルを示す。当該モデルでは、MMI 構造にシリコン（Si）を用い、その周囲をシリコン酸化膜（ $\text{SiO}_2$ ）で覆った典型的な構造とした。

MMI 本体はシンプルな矩形構造とし、横幅を  $3.6 \mu\text{m}$ 、長さを  $23 \mu\text{m}$  に設定した。この寸法は、設計上の 4 分岐条件を満たすよう最適化されたものである。さらに、入出力それぞれに 4 本ずつのテーパ導波路を接続した。これらの導波路は、MMI 側の接続端において幅  $8 \mu\text{m}$  とし、デバイス外部側に向かって徐々に  $0.44$

$\mu\text{m}$ まで絞り込む構造とすることで、主にTEモードに対してシングルモード伝搬を実現する設計とした。デバイスの厚さ方向には、Si層の膜厚を $2.2\ \mu\text{m}$ とし、動作波長は通信波長帯である $1550\ \text{nm}$ に設定した。これらの設計条件のもとで、三次元のFEM解析を行い、各種の入力ポートから信号光やプローブ光を入射した場合のMMI内部の電磁界分布を解析した。

図5の下部には、異なる入力条件に基づいて動作させた際に得られたMMI内部の電磁界分布を示している。左側の一連の図は、信号光に対するプローブ光の光強度が0.8倍となる条件での結果を示し、右側はプローブ光が信号光の2倍の光強度を有する場合の結果である。それぞれの条件において、MMI構造を上部から観察した俯瞰図と、出力端面を観察した横断面図を併記している。俯瞰図では左から順に入力信号AB=00, 01, 10, 11に対応しており、横断面図では上から順に同様の信号配列に対応している。これにより、異なる入力条件によって出力ポートにおける光強度分布がどのように変化するかを視覚化した。

解析結果からは、各入力条件に応じて特定の出力ポートに光が集中し（On状態）、それ以外のポートでは抑制される（Off状態）という、理論通りの動作が実現されていることが確認された。これらの分布は、図3に示した理論的なコンスタレーションの分布結果とも良好に一致しており、本デバイスが設計通りの機能を果たしていることを裏付けている。さらに、プローブ光が0.8倍の条件では、Offポートの光強度がより明確に抑圧されており、Onポートの損失が最小化している点を読み取れる。また、プローブ光が2倍の条件では、Offポートの光強度がそれぞれ等しく揃っており、これにより識別性が向上している様子を読み取れる。これは、前進となる研究では達成できなかった出力分布制御の一例であり、本構成の優位性を示している。最後に、数値計算によって得られた各出力ポートの光強度差から消光比を評価したところ、その値は先に得られた理論計算の結果と良好に一致した。これにより、提案手法が理論的にも数値的にも一貫した動作特性を示すことが明らかとなった。

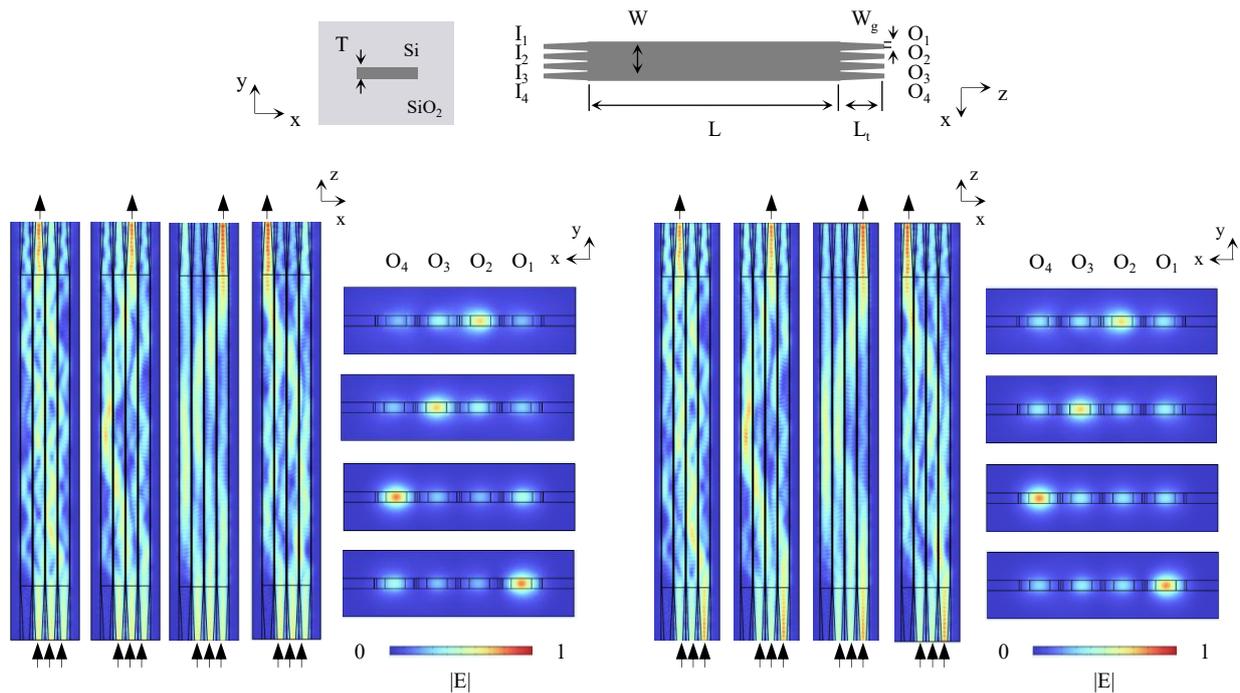


図5 4x4 MMI からの光デコーダにおける電磁界解析結果： 解析モデル（上）、解析結果（下）

## 6 実験検討

### 6-1 デバイス構造および測定系

提案するデバイスの有効性を実験的に検証することを目的として、実際にデバイスを作製し、そのうえでデコーダ動作の実証実験を実施した。作製されたデバイスは、先に数値解析に用いた設計条件と同一の材料、および寸法仕様に基づいて構築されたものである。今回の実験では、2種類のデバイスを試作した。1つ目

は単体の  $4 \times 4$  MMI である。これは、MMI 単体としての入出力特性、およびデバイス加工精度を確認するために作製した。2つ目は、この  $4 \times 4$  MMI を2つ縦列に接続した構成のものである。こちらは、提案手法による光デコーダ機能を検証することを目的として作製した。

作製した両デバイスは SOI 基板上に実装されている。外部から光信号をデバイスに導入し、透過特性とデコーダ動作を評価するための光学測定を行った。実験における測定系の全体構成を図 6 に示す。この測定系では、光源として ASE (Amplified Spontaneous Emission) 光源と波長可変レーザ光源をそれぞれ使用した。各種光源からの出力光に対して可変減衰器を用いて光強度を調整した。調整後の光は偏光子および偏波コントローラを通して TE 偏波に整えた状態で、くさび型光ファイバからスポットサイズ変換器を介してデバイスの入力ポートに結合させた。一方、デバイスを通じた出力光信号についても、同様にスポットサイズ変換器を用いて光ファイバに結合させた後、光パワーメータおよび光スペクトルアナライザにより強度とスペクトルの両面で測定を行った。入力波長は通信波長帯に対応する 1550 nm に設定し、デバイスの設計波長と一致させた。

### 6-2 単体の $4 \times 4$ MMI

図 6 に、単体  $4 \times 4$  MMI に対する測定結果を示す。測定に用いたデバイスの概形は図 6(a) に示す通りであり、入力された光はまず 2 分岐された後、それぞれ  $I_1$  および  $I_3$  の入力ポートに導かれる構成となっている。このとき、 $I_1$  および  $I_3$  ポートは互いに非対称な光路長を持つため、デバイス全体としては遅延干渉計として機能する構造とした。このとき、光路差を生じさせる遅延線の長さは、FSR が 10 GHz に相当するように設計を行った。

図 6 の上部右側には、ASE 光源を入力した際のスペクトルを示している。同図にはそれぞれの出力ポートから得られた光スペクトルが併記されている。これらのスペクトルから、各出力ポートにおいて波長に対して周期的に光強度が増減する様子が確認できる。これは遅延干渉計特有のパターンでありデバイスが設計通りに動作していることを示している。とくに波長周期が設計した FSR の値に一致したことから、導波路の長さや構造的な整合性が期待通り確保されていることがわかる。さらに、出力ポートが異なるスペクトル間での位相差にも整合性がみられた。具体的には、各出力ポートにおけるスペクトルの周期的な山と谷の並びが、互いに  $\pi/2$  ずつずれて配置されていることが確認された。このことは、MMI 内部におけるモード干渉が設計通りに生じており、図 3 の上部右側に示す MMI 内部の位相関係が表現行列通りに表れていることを示唆している。

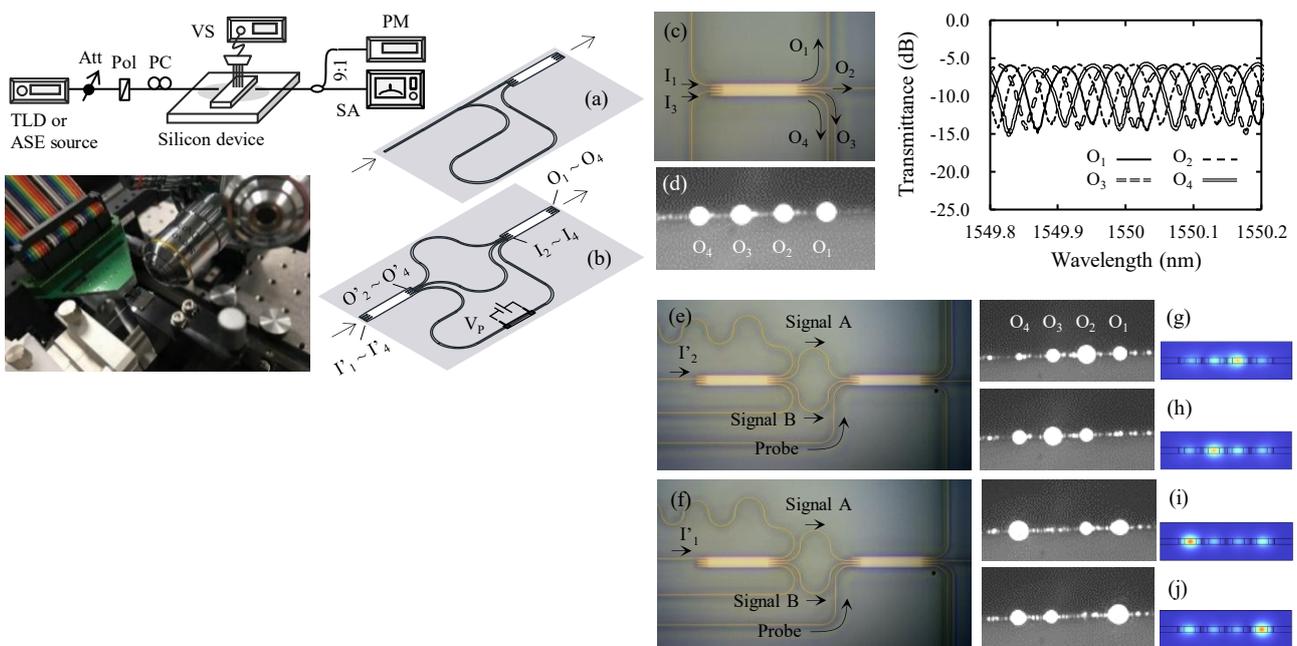


図 6  $4 \times 4$  MMI からなる光デコーダにおける測定結果：単体 MMI (a, c, d), 縦列 MMI (b, g-j)

### 6-3 縦列 4×4 MMI を用いた光デコーダ動作

図 6 に、縦列構成とした 4×4 MMI に対する測定結果を示す。測定に使用したデバイスの概形は図 6(b) に示す通りであり、1 段目の 4×4 MMI の出力がそのまま 2 段目の 4×4 MMI の入力へと接続される構成となっている。このような縦列構成は、前段を位相調整用として機能させ、後段をデコーダとして用いるための工夫である。具体的には、前段の 4×4 MMI において、例えば  $I_2$  ポートから光を入力した場合には、デバイス出力の中央ポートから出力される 2 つの光波が互いに同相となるような特性を持つ。この出力光を次段の入力信号として扱うことで、信号光 A および B が同相であるという状態を模擬的に生成することが可能となる。一方で、 $I_1$  ポートから入力した場合には、異相の条件を再現できる。このようにして、入力ポートに応じて、信号光の位相関係を同相または異相のいずれかに制御することができる。さらに、プローブ光については、光が一定距離を伝搬することによって伝搬損失が生じ、結果としてその強度が信号光の 0.8 倍程度に減衰するように設計されている。このプローブ光にはヒータによって位相を任意に調整できるようになっている。これらの条件を組み合わせることで、信号 AB=00, 01, 10, および 11 のすべての 2 ビット条件を光領域において模擬的に再現できる構成となっている。

図 6(g) から (j) には、各条件下で得られたデバイス出力端面を観察した画像を示している。これらの画像は上から順に、入力符号が 00, 01, 10, および 11 の条件としている。くわえて、それぞれの実測画像の右側には、対応する条件における数値解析の結果も併記している。両者を比較することで、実験結果が理論的な解析と良く一致しており、デバイスが設計通りに動作していることが確認できる。このような一連の測定結果から、提案した縦列構成の 4×4 MMI デバイスは、2 ビットの入力信号に対して光デコーダとしての機能を正しく発揮しており、実験的にもその動作が実証されたことが分かる。また、本構成は外部制御要素を最小限に抑えつつ、位相制御を可能にする設計となっており、集積性と省電力性の観点からも優れた構成であるといえる。

## 7 まとめ

本研究は、CMOS 技術による微細化の限界と配線遅延問題を背景に、光技術による高速・低遅延なデジタル演算の代替手法として、光デコーダの実現を目指したものである。従来の光デコーダは非線形光学現象を利用していたが、高強度光源や複雑な素子構造が必要であり、消費電力や応答遅延の面で課題があった。そこで申請者は、非線形性に依存せず、光の線形干渉を用いた 2 ビット復号回路を提案し、4x4 MMI 構造内の自然な干渉を利用したコンパクトなデバイスを設計・試作した。この構成では、BPSK 信号における 2 ビット分の組み合わせに応じて異なる出力ポートが選択される。これにより、消光比 7 dB の高識別性を実現できることを明らかにした。はじめに、強度比・位相変動の理論検討により、動作の最適条件や位相トレランスを明示し、実用性を確認した。つづいて、FEM 解析により光強度分布・デバイス応答が理論と整合することを確認した。さらに、実デバイスの作製およびその評価により、提案デバイスの有効性を実証した。これらの取り組みは、今後の集積型光論理回路実現に向けた重要な一歩と位置付けられる。

## 【参考文献】

- [1] G. V. Sande, D. Brunner and M. C. Soriano, "Advances in photonic reservoir computing," *Nanophotonics*, vol.6, no.3, pp.561--576, 2017.
- [2] H.-T. Peng, M. A. Nahmias, T. F. Lima, A. N. Tait, B. J. Shastri and P. R. Prucnal, "Neuromorphic Photonic Integrated Circuits," *IEEE J Sel Top Quantum Electron.*, vol.24, no.6, Article number 6101715, 2018.
- [3] B. J. Shastri, A. N. Tait, T. F. Lima, W. H. P. Pernice, H. Bhaskaran, C. D. Wright and P. R. Prucnal, "Photonics for artificial intelligence and neuromorphic computing," *Nat. Photonics.*, vol.15, pp.102--114, 2021.
- [4] D. Tsiokos, E. Kehayas, K. Vyrsokinos, T. Houbavlis, L. Stampoulidis, G. T. Kanellos, N. Pleros, G. Guekos and H. Avramououlos, "10-Gb/s All-Optical Half-Adder With Interferometric SOA Gates," *IEEE Photon. Technol. Lett.*, vol.16, no.1, pp.284--286, 2004.

- [5] B. Dai, S. Shimizu, X. Wang and N. Wada, "Simultaneous All-Optical Half-Adder and Half-Subtractor Based on Two Semiconductor Optical Amplifiers," IEEE Photon. Technol. Lett., vol.25, no.1, pp.91--93, 2013.
- [6] J. Shen, S. Yu, P. Liao, Z. Chen, W. Gu and H. Guo, "All-Optical Full-Adder Based on Cascaded PPLN Waveguides," IEEE J Quantum Electron., vol.47, no.9, pp.1195--1200, 2011.
- [7] X. Ying, Z. Wang, Z. Zhao, S. Dhar, D. Z. Pan, R. Soref and T. Chen, "Silicon microdisk-based full adders for optical computing," Opt. Lett., vol.43, no.5, pp.983--986, 2018.
- [8] A. Bhattacharyya, D. K. Gayen and T. Chattopadhyay, "Design of 2-to-4 All-Optical Decoder with the Help of Terahertz Optical Asymmetric Demultiplexer," Int. J. Mod. Nonlinear Theor. Appl., vol.5, no.1, pp.67--72, 2016.
- [9] H. Teimoori, J. D. Topomondzo, C. Ware, R. Gabet and D. Erasme, "All-Optical Packet-Switching Decoder Design and Demonstration at 10 Gb/s," IEEE Photon. Technol. Lett., vol.19, no.10, pp.738--740, 2007.
- [10] Y. Liu, P. Chen, R. Guo, Y. Gu Y. Ning and B. Han, "All-optical non-inverted half-subtractor, half-adder, comparator, and decoder simultaneously based on a single semiconductor optical amplifier," Opt. Eng., vol.60, no.7, Article number 076106, pp.1--9, 2021.
- [11] T. Daghooghi, M. Soroosh and K. Ansari-Asl, "Ultra-fast all-optical decoder based on nonlinear photonic crystal ring resonators," Appl. Opt., vol.57, no.9, pp.2250--2257, 2018.
- [12] H. Mondal, M. Sen and K. Goswami, "Design and analysis of all-optical 1-to-2 line decoder based on linear photonic crystal," IET Optoelectron., vol.13, no.4, pp.191--195, 2019.

### 〈 発 表 資 料 〉

題 名	掲載誌・学会名等	発表年月
Optical Digital Decoder Consisting of 4×4 Multi-Mode Interferometer Coupler	Journal of Lightwave Technology	2024 年 11 月