

## 3次元回路の配線問題に関する研究

代表研究者 田 湯 智 東京工業大学 大学院理工学研究科 助教

### 1 研究背景・目的

現在、様々な用途において大規模な計算機システムの需要が高まっており、物理学や生物学、化学などの分野においても従来では考えられない程の高度な能力を要求する解析にまで用いられるようになってきている。また、ソフト開発技術の発展とともに、より高性能な計算機の効率的利用が可能になってきた。集積回路技術においては何年もの間ムーアの法則にしたがって回路の集積率が高まって来たが、近年の回路製造技術の精度が分子レベルのサイズという物理的限界に来ているため、今後の回路設計においては集積率向上を目指すための新たな回路の設計や製造手法の開発が求められてくる。回路配線手法研究の初期としては、理論的な研究も多く、問題の複雑さの理論や回路設計における基本的な近似アルゴリズム設計を含めた基礎理論が発展してきた。1970年代より、2次元的な回路の配線設計に関する研究では既に基礎理論が確立されており、現在では、主に実用面からの要求による発見的手法の開発が主流となっているため、理論的な研究はあまり行われなくなってきた。さらに、製造技術の発展による素子などの微細化の実現により、回路動作における様々な物理的影響が生じるため問題が複雑化し、これらの影響を考慮した理論の構築は困難であり、発見的手法の開発が重要視されるようになってきた。2次元的な広がりでの制約下での回路上の素子配置では、一部の接続すべき素子同士が必然的に遠くへ配置されたり、密集した領域を迂回するために長い配線を要する状況が生じたりすることがある。一方で、素子の配置においては、より効率的に高集積化を実現するための手段の一つとして3次元的な広がりのある空間上に素子を配置することが考えられていた。単純に集積率のみの見地からみれば、3次元空間上の方が高い集積率を実現できることが容易に分かる。従来、熱放出やクロストークなどを含めた様々な点で2次元的な広がりを持つ回路以上に大きな問題が生じるため、3次元集積回路において回路動作を保証する回路のデバイス技術が実現されてこなかった。しかし、近年の目覚ましいデバイス技術の発展により、徐々に3次元回路の製造が現実化しつつあり、微細化技術の物理的限界が近付くと共に、より高い集積率を実現できる次世代回路技術として3次元回路に関する研究がここ十数年で活発になってきている [1, 2, 3, 9]。1990年代から多くの研究者により3次元回路技術の必要性と実現性が考えられ、それに伴い3次元回路のデバイス技術開発が活発に行われるようになってきた [4, 5, 6, 7]。しかし、2次元的な回路設計においては既に理論的研究が確立され発見的手法の開発が主流であったため、3次元回路設計における配置配線問題の研究においても基礎理論に関してはほとんど研究がなされていない。

本研究では、3次元回路設計における配線問題を理論的な見地から調査し、現在あまり行われていない理論研究を行う。3次元回路設計の理論研究における初期段階として、3次元回路の配線の基礎問題のモデル化、および関連問題の計算量の解析を行い、最悪の入力例に対する最適化手法を与えるなど、今後の3次元回路設計における基礎理論を構築することを目的としている。

### 2 3次元回路の配線問題

3次元回路の配線問題において、配線領域は3次元格子グラフ  $G$  として表現される。3次元格子グラフとは、各頂点は3次元空間の  $(x, y, z)$  座標系上の整数値座標を持つ点であり、 $(x, y, z)$  座標のうちいずれか一つのみが1だけ異なる頂点同士が辺で結ばれているグラフである。 $G$ において、各座標が  $1 \leq x \leq W$ ,  $1 \leq y \leq D$ ,  $1 \leq z \leq H$  であるとき、 $G$  を  $(W, D, H)$  格子と呼ぶ。また、 $W, D, H$  をそれぞれ3次元格子の幅 (width), 奥行き (depth), 及び高さ (height) と呼ぶ。 $(W, D, H)$  格子において、 $x$  座標を固定して定義される面を行 (row),  $y$  座標を固定して定義される面を列 (column),  $z$  座標を固定して定義される面を層 (layer) と呼ぶ。特に、 $z=1$  で定義される面を最下層 (top layer),  $z=H$  で定義される面を最上層 (bottom layer) と呼ぶ (図1参照)。

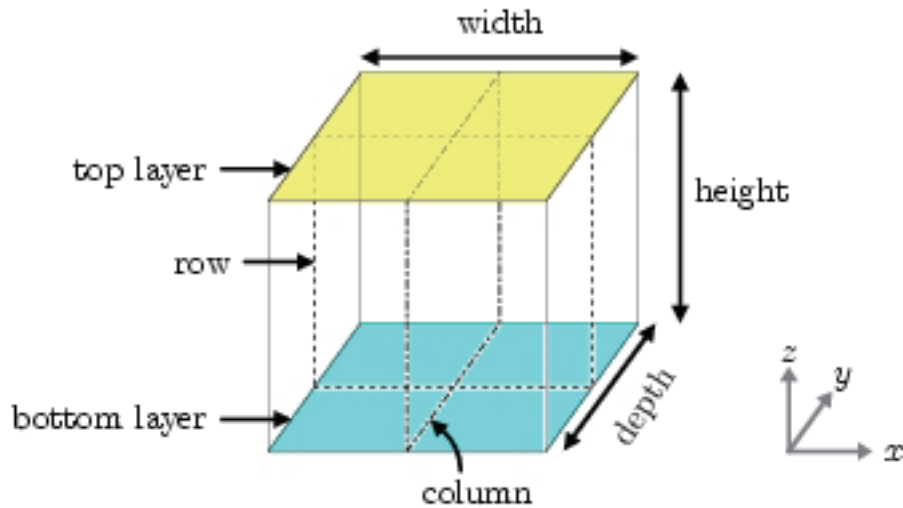


図 1. 3次元格子グラフ.

3次元格子グラフの頂点上には、 $(x, y, z)$  座標で表現された端子が配置される。端子には、電気信号が割り当てられており、同一の電気信号が割り当てられている端子の集合をネットと呼ぶ。3次元回路配線問題は、与えられた  $(W, D, H)$  格子上で、各ネットの配線（3次元格子上的スタイナー木）が互いに点非共有になるように、ネットに含まれる端子を3次元格子上的配線で結ぶ問題として定式化できる。より厳密には、3次元回路配線問題の判定問題は以下のように述べられる。「三つの整数  $W, D, H$  と  $(W, D, H)$  格子上的端子からなるネット集合が与えられたとき、 $(W, D, H)$  格子上で互いに点非共有な各ネットの配線が存在するならば Yes, そうでないならば No を出力せよ。」出力が Yes のとき、 $(W, D, H)$  格子上の配線をこの問題の解と呼ぶ。（条件を満たす解が存在するか否かを求める問題を判定問題と呼ぶ。）3次元回路配線問題の中でも、外面である6面（3次元格子グラフ上の  $x = 1, x = W, y = 1, y = D, z = 1, z = H$  それぞれの式で定義される面）にネットの端子が配置されている問題を3次元スイッチボックス配線問題と呼ぶ。本研究における最終目標としては、3次元スイッチボックス配線問題についての調査を行う予定であるが、現段階ではネットやその端子位置に制約のある問題を扱っている。3次元スイッチボックス配線において、全てのネットが全て2端子からなり、各ネットの一方の端子が最上層に、他方の端子が最下層に配置されている問題を3次元チャンネル配線問題と呼ぶ。同様に、全てのネットが全て2端子からなり、各ネットの一方の端子が最上層に、他方の端子が  $x = W$  で定義される平面上に配置されている問題を3次元直交面配線問題と呼ぶ。全ての端子が一つの面にある場合を除き、3次元スイッチボックス配線の基本的な部分問題の多くは3次元チャンネル配線問題と3次元直交面配線問題の一般化であるため、NP困難性に関しては、これら二つの問題に対して検証することが非常に重要である。

### 3 配線問題に関する計算量

#### 3-1 3次元チャンネル配線問題のNP困難性

本研究では、3次元チャンネル配線および3次元直交面配線の両問題に対する問題の計算量に関して調査した。ある問題がNP完全であることを示すには、その問題がNP困難であり、NPに属していることを示せば良い。上記の配線問題がNPに属することの証明は複雑なため、ここでは省略する。3次元チャンネル配線問題NP困難性の証明は、NP困難である問題からの多項式時間還元を示せば良い。本研究では、Ratner ら [6] によってNP完全であることが示されている  $(m \times n - 1)$  パズル問題からの多項式時間還元を示した。3次元直交面配線問題のNP困難性に関しては、 $(m \times n - 1)$  パズル問題から直接的に還元手法を示すことが困難であったため、他の問題からの多項式時間還元を行ったが、基本的には  $(m \times n - 1)$  パズル問題からの多項式時間還元の考え方をういて行った。

$(m \times n - 1)$ パズルは有名な 15 パズルの一般化である。  $m \times n$  格子の各格子点上に 1 から  $m \times n - 1$  までの番号の付けられたタイルが配置されており、残りの一つの格子点上には空タイル(blank tile) が配置されている状態を  $(m \times n - 1)$ パズルの様相 (configuration) とする。 ある様相において、空タイルを格子上で隣接している別のタイルと交換する操作を移動と呼ぶ。 直感的には、空いている場所へそのとなりの場所にあるタイルを移動させることを連想されたい。 より厳密には、  $(m \times n - 1)$ パズルに関する判定問題は以下のように述べられる。「整数  $m, n, k$  及び  $(m \times n - 1)$ パズルの初期様相  $C$  と最終様相  $D$  の二つの様相が与えられたとき、  $C$  に高々  $k$  回の移動を適用して  $D$  に遷移出来る (Yes) か否 (No) かを判定せよ。」この出力が Yes であるとき、  $C$  から  $D$  への遷移を実現する移動の系列をこの問題の解と呼ぶ。  $m = n = 4$  の例を図 2 に示す。  $(m \times n - 1)$ パズル問題は Ratner らによって  $n = m$  に限っても NP 完全であることが示されている [6]。

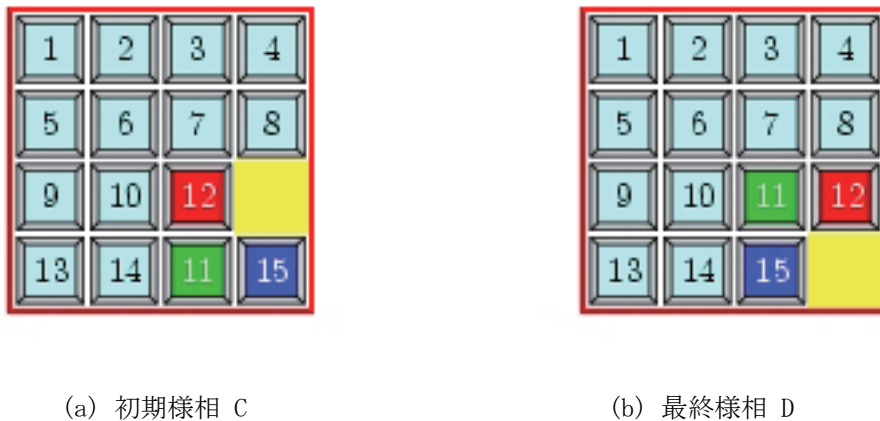
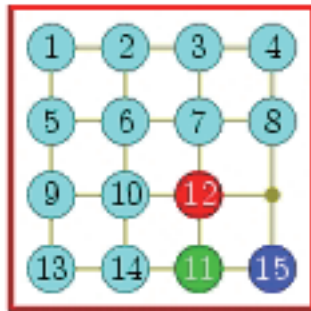


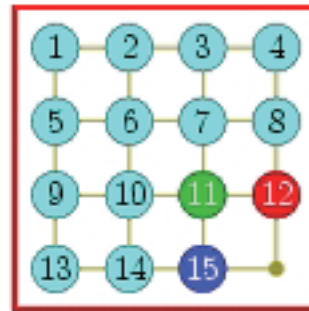
図 2.  $(4 \times 4 - 1)$ パズル問題の入力。

問題  $P$  から  $Q$  への多項式時間還元は、  $P$  の任意の入力  $I$  を  $Q$  の入力  $J$  に多項式時間で変換する。ただし、  $I$  に対する問題  $P$  の答えが Yes であることの必要十分条件が  $J$  に対する問題  $Q$  の答えが Yes であるという条件を満たすように変換する。 3次元チャンネル配線問題の NP 困難性は  $(m \times n - 1)$ パズル問題からの多項式時間還元を用いて示す。還元方法自体は非常に単純である。  $(m \times n - 1)$ パズル問題を  $P$  とし、 3次元チャンネル配線問題を  $Q$  とする。問題  $P$  の入力  $I$  は、三つの整数  $m, n, k$ 、及び  $m \times n$  2次元格子に 1 から  $mn - 1$  までのタイルの配置された二つの様相  $C$  と  $D$  から成る。  $I$  に対し、  $Q$  の入力  $J$  は以下のように構成できる。 3次元格子のサイズを表す整数は、  $W = m, D = n, H = k$  で与えられ、最上層の端子の配置は様相  $C$  の各タイルに対し  $(x, y)$  座標に配置されているならば、そのタイルに対応する端子を  $(W, D, H)$  格子 (3次元格子) 上の  $(x, y, H)$  に配置する。同様に最下層の配置には様相  $D$  の各タイルに対応する端子を配置する。このとき、同一の番号の付されたタイルに対応する二つの端子を一つのネットとする。以上のように、問題  $Q$  の入力  $J$  を構成する。図 2 (a) と (b) で表される  $I$  の初期様相と最終様相に対する最上層と最下層における端子の配置位置は図 3 に示す。

入力  $I$  に対する問題  $P$  の出力を  $P(I)$ 、入力  $J$  に対する問題  $Q$  の出力を  $Q(J)$  で表す。従って、  $P(I), Q(I) \in \{Yes, No\}$  である。まず、  $P(I) = Yes$  ならば  $Q(J) = Yes$  であることを説明する。  $P(I) = Yes$  ならば、  $I$  に対する  $P$  の解 (移動による様相の系列) が存在するので、その系列を様相の順序が  $z$  座標が降順になるように重ねることで 3次元格子が構成できる (図 4 および図 5 参照)。このとき、同一のタイルの奇跡を順に線分で結んで得られる軌跡がそのタイルに対応するネットの配線になる。次に、  $Q(J) = Yes$  ならば  $P(I) = Yes$  であることを説明する。入力  $J$  に対する問題  $Q$  の総配線長が最小の解の一つを考える。最上層と最下層以外の層の頂点からなる集合は、最上層と最下層を分割するカットになる。そのため、各ネットの配線は必ずこのカットの一つ以上の頂点を含んでいる。この頂点集合の要素数は  $n \times m$  であるので、各層で高々一つのネットの配線しか二つの頂点を含むことが出来ない。また、各ネットの配線を最上層の端子から最下層の端子まで辿ったときに、途中で下から上 ( $z$  座標で大きい方向) に向かう経路は存在しない。よって、各層で二つの頂点を含む配線は、最上層から辿るときには最初にその層で到達した頂点とその隣接点を通り下の層



(a) 最上層の端子配置



(b) 最下層の端子配置

図 3. 3次元チャネル配線問題におけるネットの端子配置.

へ向かう経路を辿ることが分かる. このことから, 以下のように入力  $I$  に対する  $P$  の解を構成する. 各層において, 二つの頂点を含む配線のネットがあればそのネットに対応するタイルを最初に到達した頂点の座標からその隣接点の座標へ移動させる. 最上層から順にこのように与えられる移動を系列とすれば入力  $I$  に対する  $P$  の解が得られる. したがって,  $Q(J) = \text{Yes}$  ならば  $P(I) = \text{Yes}$  である.

以上のことから,  $Q$  が NP 困難であることが言える.

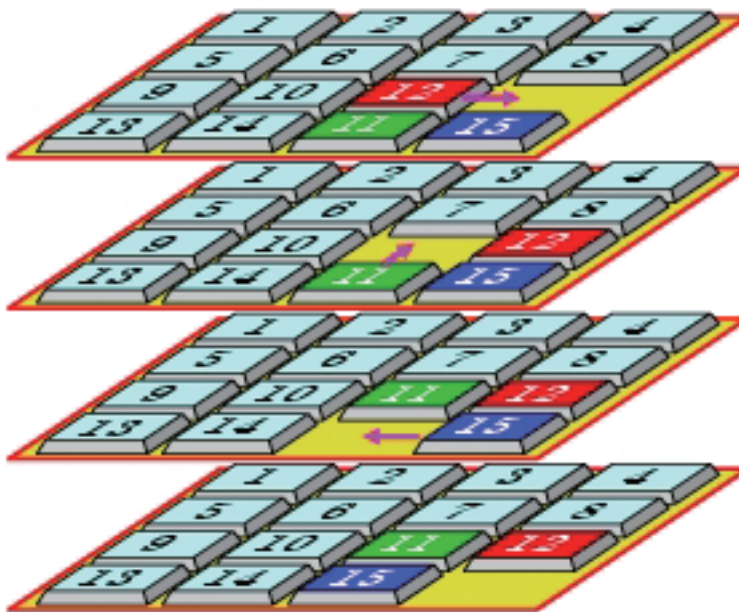


図 4.  $(4 \times 4 - 1)$  パズル問題の移動の系列

### 3-2 3次元直交面配線問題のNP困難性

3次元直交面配線問題のNP困難性を示す上で基本的なアイデアは3次元チャネル配線問題と同様に  $(m \times n - 1)$  パズル問題からの多項式時間還元による手法であるが, 多項式時間還元を用いる  $(m \times n - 1)$  パ

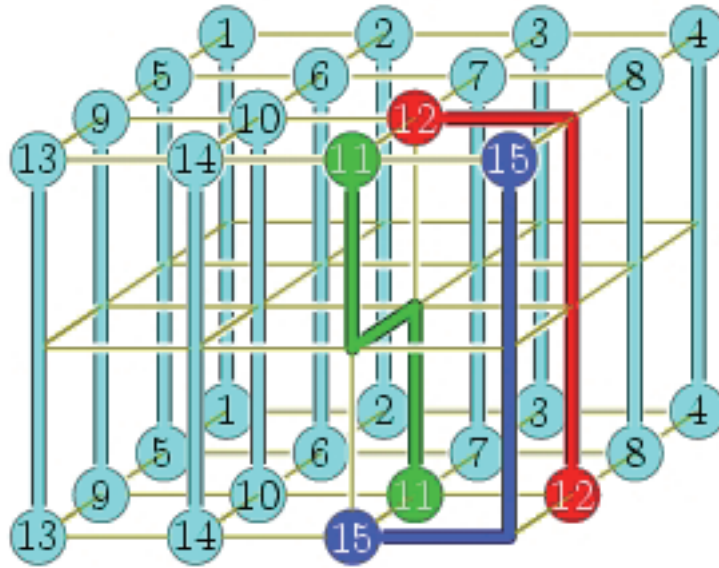


図 5. 3次元チャネル配線問題における配線

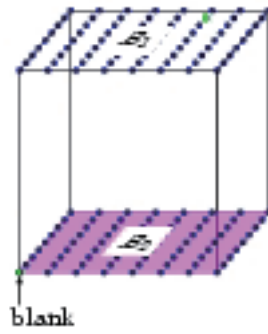
ズル問題の入力に制約がある.  $(m \times n - 1)$  パズルの最終様相  $D$  において, タイルが配置されていない位置 (空タイルの位置) が 2次元格子上の角  $(x, y) = (1, 1)$  である位置に配置されているという条件である.  $(m \times n - 1)$  パズル問題の NP 完全性は  $2/2/4 - SAT$  からの多項式時間還元を用いて Ratner らにより示された [6].  $2/2/4 - SAT$  問題は, NP 完全として良く知られている 3 充足可能性 (3 - SAT) 問題に似ている問題である.  $2/2/4 - SAT$  の判定問題は, 以下のように記述される. 「 $m$  変数の集合  $V$  と  $V$  上の 4 変数から成る項の  $m$  個の集合  $S$  があるとする. ただし, 各変数は肯定のリテラルとして二度, 否定のリテラルとして二度, どこかの項に含まれている. このとき, 全ての項において丁度二つのリテラルが真になるような変数の真偽割り当てが存在する (Yes) か否 (No) かを判定せよ.」この問題において各変数の真偽割り当てが問題の解となる. Ratner らによって示されたこの問題から  $(m \times n - 1)$  パズル問題への多項式時間還元手法を一部変更することで,  $(m \times n - 1)$  パズル問題は, 空タイルの位置を 2次元格子の角に限定しても NP 困難であることが示せる. 証明は非常に複雑であるが, 証明の概要は発表資料に記載している.

3次元直交面配線問題の NP 困難性の話に戻る. 厳密な証明や多項式時間還元手法の記述は非常に長いので, 3次元直交面配線問題の入力の構成方法を直感的に述べる.  $(m \times n - 1)$  パズル問題から 3次元直交面配線問題への多項式時間還元では, はじめに空タイルの位置が角にあるパズル問題の入力から, 3次元チャネル配線問題の入力を構成する. その例を図 6 (a) に示す. 次に得られた 3次元チャネル配線問題の入力の最下層に配置された端子を最下層の面ごとその配置の状態で  $y$  軸と並行な軸を中心に回転させ, 図 6 (b) のように右側の面に再配置をする. さらに, 配線経路を制約するために, 3次元格子を図 6 (c) のように  $y$  座標のマイナス方向 (図の手前側に) へ拡張し, 回転させた領域での配線を制限するためにダミーの 2 端子ネットの端子を配置する. このように配置して得られる 3次元直交面配線問題の入力が配線可能である必要十分条件が与えられた  $(m \times n - 1)$  パズル問題の入力に対する答えが Yes であることを示した. 多項式時間還元手法におけるダミー端子配置の詳細と正統性の証明に関しては省略する.

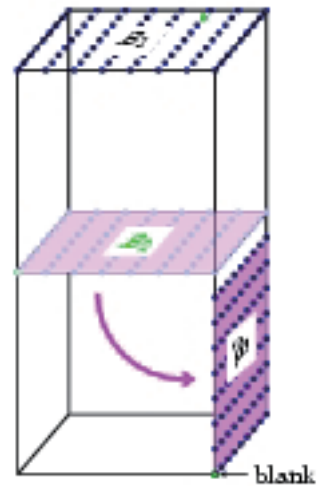
#### 4 3次元回路配線アルゴリズム

3次元回路の配線問題の計算複雑度の解析においては, 端子が非常に密に配置されているモデルを考えたが, 実用的には, 配線効率を考慮して配線領域をある程度確保した入力を与えられるため, 端子の数は配線領域 (3次元格子グラフ) に対してそれほど多くはない. 3次元回路の配線アルゴリズムに関しては, 初期段階の研究として, 全てのネットが最上層と最下層に 1 端子ずつを持ち,  $x, y$  座標ともに一つ置きに端子が配置されているような問題に関して 3次元チャネル配線問題に対する配線アルゴリズムを提案した. また, 配

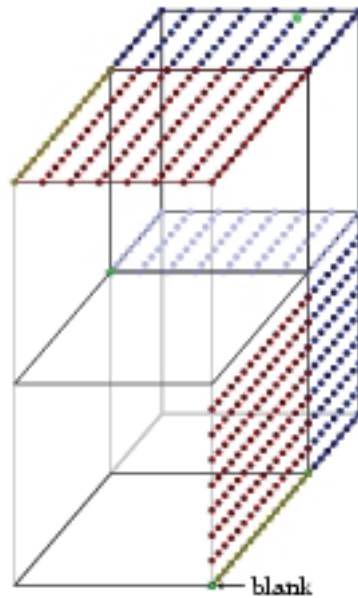




(a) 3次元チャンネル配線問題の入力



(b) 最下層配置面の回転



(c) ダミー端子の配置

図 5. 3次元直交面配線問題への多項式時間還元.

線経路を求める際に最適化問題とするために、配線領域は入力として3次元格子の幅  $W$  と奥行き  $D$  が与えられ、なるべく高さ  $H$  の小さい  $(W, D, H)$  格子に配線する問題を考えている。3次元回路上での配線においては、2次元的な回路上での配線と同様、ネットごとに最短経路を順次構成すると非常に混雑する領域が生じる傾向にある。そのため、全てのネットを同時に考慮する必要がある。提案アルゴリズムで用いているアイデアは、3次元格子を  $z$  座標に関して三つに分割し、各部分格子において、 $x$  座標のみ あるいは  $y$  座標のみを変更する配線を行うことで最終的に効率的な配線を実現している。特徴としては、二つの層に各ネットの仮想端子を配置し、各ネットの配線がその仮想端子を含む配線を構成している。簡単のため、3次元チャンネル配線において、配線領域である3次元格子の幅と奥行きを共に  $2n$  とする。このとき、端子は  $x, y$

座標ともに一つ置きに配置されているため、ネットの数は  $n$  の自乗である。ここでは、各ネットの最上層にある端子の位置を始点と呼び、最下層の端子の位置を目的地と呼ぶ。

本研究で提案した配線アルゴリズムでは、上記のような入力例に対しては、高さ  $3n$  の配線領域上で配線するアルゴリズムを提案した。提案アルゴリズムの概要は以下の通りである。まず、高さ  $z=2n$  と  $z=n$  の層それぞれに各ネットの仮想端子を一つずつ配置する。各層の端子は一つ置きに配置される。このとき各ネットにおいて、最上層 ( $z=3n$ ) の端子と  $z=2n$  にある端子の位置は同一の  $x$  座標を持ち、 $z=2n$  の端子と  $z=n$  にある端子の位置は同一の  $y$  座標を持ち、 $z=n$  の端子と最下層 ( $z=1$ ) にある端子の位置は同一の  $x$  座標を持つ。このような仮想端子の配置位置は多項式時間で計算できることが[8]で示されている。このアルゴリズムにより得られる配線は、配線領域最小化問題に対する最悪例の高さの下界 (existential lower bound) の定数倍の高さの配線領域での配線を実現している。理論的に、最悪の入力例に対して得られる配線が従来手法 [7] で得られるものより良いことが分かった。

3次元チャネル配線問題に関しては、さらに効率的な配線を求めるためにグラフのカットに関連した研究を調査した。現在までに検証した3次元チャネル配線問題に対する発見的手法のアプローチのうち最も有効なものの一つとしては、3次元格子グラフ上のカット(頂点集合)により、領域に端子が分割されるネットを評価し、混雑度の高いカットで囲まれた領域を特定することである。同一のネットに含まれる端子がそのカットによって分割されている領域にあるネット数は、部分的な配線を行う際に多くの配線領域を要してしまう。混雑した領域に配置されている端子を  $x$  座標と  $y$  座標に関して個別にソートをすることで効率的に端子を  $xy$  平面上に分散させることが出来る。この手法を適用するとランダムに生成した入力例に関しては非常に効率的な配線が得られることが分かった。

## 5 まとめ

本研究では、大規模集積回路システムの次世代技術として期待されている3次元回路の配線問題に関しての理論的研究を行った。はじめに、3次元スイッチボックス配線問題として基本問題の定式化を行い、特殊問題である3次元チャネル配線問題と3次元直交面配線問題に関してのNP困難性を示した。3次元チャネル配線問題のNP困難性の証明では、パズル問題からの多項式時間還元を用いて示し、3次元直交面配線問題のNP困難性の証明では、充足可能性問題の一種である2/2/4-SATからの多項式時間還元を用いて示した。3次元チャネル配線問題に関する配線アルゴリズムを提案し、従来手法よりも良い結果が得られることを理論的に示した。さらに、ランダムに生成した入力例に対しても従来手法より良い結果が得られることも実験的に示した。また、近似解法を開発するための基礎となる性質を発見した。今後の課題としては、現在までに得られた知見をさらに発展させ、より効率的な発見的手法や近似解法などのアルゴリズムを構築することがあげられる。

### 【参考文献】

- [1] J. Baliga, "Chips go vertical," IEEE Spectrum, vol. 41, no. 3, pp. 43-47, 2004.
- [2] K. Banerjee, S. J. Souri, P. Kapur, and K. C. Saraswat, "3-D ICs: A novel chip design for improving deep-submicrometer interconnect performance and systems-on-chip integration," Proc. of the IEEE, vol. 89, no. 5, pp. 602-633, 2001.
- [3] S. Das, A. Fan, K.-N. Chen, C. S. Tan, N. Checka, and R. Reif, "Technology, performance, and computer-aided design of three-dimensional integrated circuits," Proc. ISPD, pp. 92-98, 2004.
- [4] R. Enbody, G. Lynn, and K. Tan, "Routing the 3-D chip," Proc. the 28-th Design Automation Conference DAC'91, 1991.

- [5] S. T. Obenaus and T. H. Szymanski, "Gravity: Fast placement for 3-D VLSI," ACM Trans. Design Automation of Electronic Systems, vol. 8, no. 3, pp. 298--315, 2003.
- [6] D. Ratner and M. Warmuth, "The  $(n^2-1)$ -puzzle and related relocation problems," Journal of Symbolic Computation, vol. 10, pp. 111--137, 1990.
- [7] A. Recski and D. Szeszler, "Routing vertex disjoint Steiner-trees in a Cubic grid - an application in VLSI," Discrete Applied Mathematics, vol. 155, pp. 44--52, 2007.
- [8] S. Tayu, P. Hurtig, Y. Horikawa, and S. Ueno, "On the three-dimensional channel routing," Proc. IEEE International Symposium on Circuits and Systems ISCAS'05, pp. 180--183, 2005.
- [9] C. C. Tong and C.-L. Wu, "Routing in a three-dimensional chip," IEEE Trans. Computers, vol. 44, no. 1, pp. 106--117, 1995.

〈 発 表 資 料 〉

題 名	掲載誌・学会名等	発表年月
On the Complexity of Three-Dimensional Orthogonal Face Routing	電子情報通信学会ソサイエティ大会	2010年9月
On the Complexity of Three-Dimensional Orthogonal Face Routing	電子情報通信学会技術研究報告	2010年11月