

協調開発を実現する分散型遠隔 FPGA システムの構築

代表研究者	吉澤 真吾	北海道大学	大学院情報科学研究科	助教
共同研究者	笹岡 直人	鳥取大学	大学院工学研究科	助教

1 はじめに

FPGA(Field Programmable Gate Array)を搭載した機器は製造後もハードウェア機能を変更することが可能であり、近年ではコンピュータやLSI設計分野以外の研究者もしくは開発者がFPGAを利用して専用計算機を構築する事例が多く見られる。FPGA設計開発において、研究開発者間で協調開発作業を行うことができる分散型遠隔FPGAシステムを提案し、システムの開発及びその実証利用を報告する。

2 研究背景

FPGAや電子回路に関する教材開発は[1]や[2]で行われており、授業等での利用が進められている。文献[1]ではハードウェア記述言語(HDL)の演習教材としてFPGAを利用し、[2]ではeラーニングにより個人が電子回路実験演習を行いながら学習する機能やWebカメラを利用した実験授業の映像配信するシステムを構築している。FPGAをインターネットを介して遠隔操作できる遠隔FPGA(Remote FPGA)の開発も行われている。[3]や[4]では、FPGA回路データの遠隔再構成とロジックアナライザによる遠隔操作を組み合わせた遠隔FPGAシステムを報告している。遠隔FPGAの応用として宇宙空間上にあるFPGAを遠隔再構成及び遠隔操作する実証例[5]や遠隔研究環境の開発[6]が行われている。我々の研究グループでは協調学習型eラーニングと連携した遠隔操作FPGA設計教育システムの開発を行ってきた[7]。開発したシステムはeラーニングで学習や設計演習の機能を提供し、また、ネットワーク経由による遠隔操作から実際の研究や開発にFPGA装置を利用することを想定している。本システムの全ての機能はネットワーク経由で遠隔操作することが可能であり、利用者はコンピュータを用意するのみでFPGAに関する学習とFPGA装置を利用した実践的な研究や開発を行うことが可能である。また、上記のシステムを利用して非LSI設計分野の研究者との共同研究を実施してきた。共同研究の実施ではFPGA設計学習や演習までは現行の遠隔FPGAシステムではほぼ問題なく行うことができた。しかしながら、開発作業段階に移行した際に以下の問題が顕在化している。

- ・遠隔利用だと反応が遅いので開発作業にストレスを感じる。
- ・共同開発者間で1つのFPGAを交互に利用して開発するのは作業効率が悪い。
- ・実開発時に発生する問題をeラーニング教材のみの知識だけで対処するのは不可能。

これまでに開発したシステムは集中型(クライアント・サーバ型)であり、上記の問題から開発作業段階においては便利とはいえない状況であった。そこで、我々は分散型の遠隔FPGAシステムを提案する。分散型は各ユーザが同一タイプのFPGAを所有し並行した開発作業を行い、必要に応じてFPGA間で設計回路や回路テストデータの共有、併合や交換等を行う。また、LSI設計経験者と初級者との協調開発作業を想定しており、初心者は実際の開発作業において経験者から指導や助言を受けることができ、設計教育面からも大きな効果が期待できる。遠隔FPGAシステムの開発経緯及びその実証利用は次章以降で説明する。

3 遠隔FPGAシステムの開発

3-1 集中型遠隔FPGAシステム

システムの構成を図1に示す。利用者のコンピュータからネットワークを経由して、FPGA装置やeラーニ

ング及び FPGA 設計用サーバにアクセスすることで、FPGA 学習及び設計に関する全ての工程作業を行うことができる。利用できる機能は、(1) e ラーニングによる FPGA の基本概念とハードウェア記述言語の学習、(2) ハードウェア記述言語による RTL(Register Transfer Level)設計及び動作検証、(3) FPGA 開発ツールの利用と及び FPGA コンフィギュレーションデータの転送、(4) 遠隔操作による FPGA 装置動作とネットワークカメラによる確認、(5) FPGA 装置での実験データ送受である。e ラーニングではユーザアカウント管理、遠隔 FPGA においてはアカウントと接続 IP アドレスによる管理を行っている。FPGA 装置とネットワークカメラは遠隔電源制御により利用時のみに電源を供給するようにしている。上述機能により利用者は自分のコンピュータを用意するだけで設計学習から研究開発までを全て遠隔で行える環境を提供し、FPGA 未経験者が設計学習や研究環境構築にかかる時間や費用を抑えることができる。遠隔操作インターフェイスは Web ブラウザと VNC(Virtual Network Computing)によるリモートデスクトップを併用した形式で実現した。

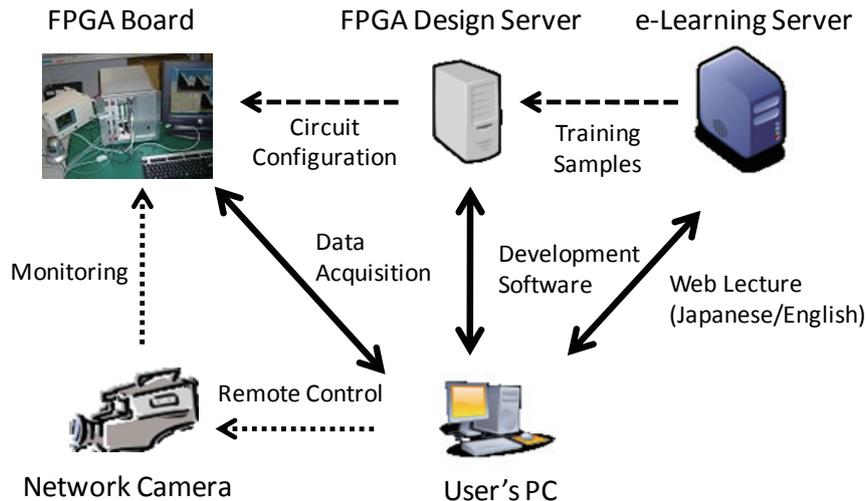


図1 集中型遠隔 FPGA システムの構成

e ラーニングは時間や場所に関係なく教育や学習を行えることが特徴であり、本システムでも利用者が FPGA 装置を遠隔で利用することを想定しており、その設計教育には学習環境や学習時間の観点(学習者や講師の派遣が困難)から e ラーニングが効率的である。我々はすでに協調学習型の e ラーニングである NEXUS(Next-generation EXtra University-education System)を開発し、大学院講義や演習に利用している。協調学習(Collaborative Learning)は教師と学習者、もしくは学習者同士が協同、協調して学習課題に取り組むことで学習の効率化を図るものである。NEXUS は講義、確認問題、学生による解説、協調学習、キーワード検索の機能を持つ。教材作成を開発することが可能で簡単な手順でビデオやスライド教材を作成することが可能である。作成したビデオやスライド教材から音声データを抽出し、テキストデータに変換することでキーワード検索やビデオシーン検索に利用している。上記の NEXUS においてハードウェア記述言語(Verilog)をベースとしたデジタル回路設計と遠隔 FPGA 利用マニュアルの教材を作成した。デジタル回路設計では、Verilog 文法、組み合わせや順序回路の設計、ステートマシンによる分岐制御、演算回路設計等に関する内容について学習する。SystemC 言語など抽象度の高いレベルで設計する方法もあるが、開発した FPGA ハードウェアの性能を上げるには論理回路レベルで理解する必要があることや単純な回路構成の場合には Verilog で記述したほうが容易であるので Verilog を採用している。遠隔 FPGA 利用では、遠隔 FPGA 装置の立ち上げ及び接続方法、PC と FPGA 間のデータ送受方法、ユーザが設計した回路を FPGA に組み入れる手順などを学習する。

遠隔 FPGA 装置の外観を図 2 に示す。FPGA ボードは東京エレクトロデバイス社製 TD-BD-SPP3000 信号処理プラットフォームを導入している。FPGA デバイスとして Xilinx 社製 Virtex-5 XC5VLX330T を 4 個搭載し、論理ゲート数 1000 万程度の大規模開発にも対応可能である。FPGA ボードの入出力装置としては、アナログ/デジタル変換(ADC, DAC), Advanced TCA, Compact PCIなどを有する。また、この FPGA 装置は CPU ボードと呼ばれる組み込み用コンピュータが内蔵されたボードが搭載している。この CPU ボード経由からリモートログインによる遠隔操作を行う。FPGA 装置の動作確認のためにネットワークカメラを用いる。ネットワーク

カメラは遠隔操作によりカメラの向きを変更できるので周辺機器(図2の例ではPCモニター、スペクトラムアナライザ)による確認や測定にも利用できる。温度計はFPGA装置の異常検出のために使用され、高温異常が発生した場合には遠隔電源装置により自動的に電源が切断される。

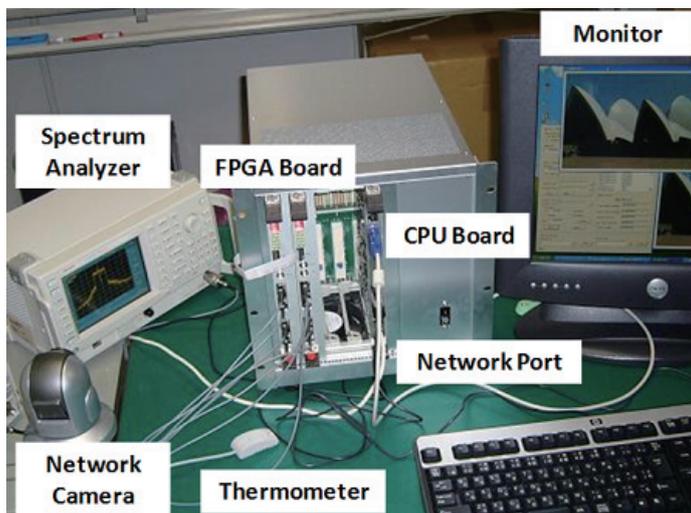


図2 遠隔FPGA装置および周辺機器

ユーザ設計回路の構成を図3に示す。利用者がPCIバス等のインターフェイス回路を独力で設計するには相当な労力を要する。そこで、リファレンス回路内でユーザ設計領域のみを書き換えること開発できるようにしている。具体的には、図3の“User Design Circuit”において利用者が設計した回路を挿入する。回路の入出力データは“User Memory”から取り出すことができる。FPGA装置制御やADC/DAC等の外部インターフェイス制御には“Register Unit”におけるレジスタマップを書き換えることで対応する。回路初期化もこのレジスタマップ書き換えにより実行できる。ソフトウェア上でのデータ受け渡しは、PCIバスを制御するC言語関数が用意されており、レジスタ値の書き換えやDMAデータ転送について簡単なプログラムを作成して実行することができる。

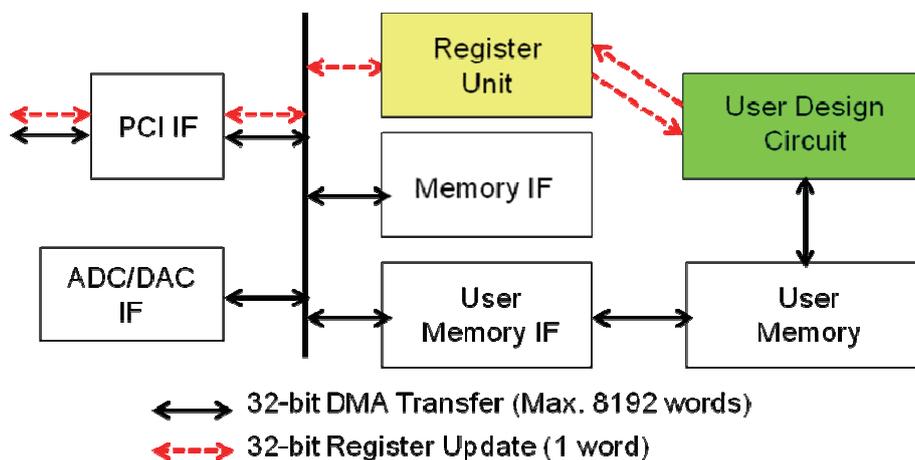


図3 ユーザ設計回路

3-2 分散型遠隔FPGAシステム

分散型遠隔FPGAシステムの構成を図4に示す。初級者が部品Aの回路設計を担当し、設計経験者が部品Bの回路設計を担当する例を想定している。部品Bは部品Aと周辺回路を接続させるためのインターフェイス変換回路を想定し、相応の設計経験が要求される。初級者がこの部品Bを開発するには困難が伴うが、設計経験者が部品Aの仕様に合わせながら部品Bを開発することはそれほど難しくなく、図のような協調開発は

初級者の設計を支援する上でも効果的である。サーバにはグループウェア及びバージョン管理ソフトウェアを導入し、ユーザ間で設計回路テストデータの併合や交換が円滑に行えるようにする。その他の機能としてFPGAからPCを経由で回路テストデータを交換できるようにする。この交換機能は、例えば設計経験者が回路テストデータを生成して初級者のFPGAにそのデータを流して動作検証を行う場合や、初級者のFPGA出力データを設計経験者のFPGAに転送して、出力データを照合すること動作確認する場合などに活用できる。従来の手法がサーバにFPGAを接続してサーバ経由で遠隔操作する集中型に対して提案するシステムは分散型である。集中型は実際の開発作業によってネットワーク遅延等によるレスポンスの低下が作業効率の低下をもたらしていた。分散型は各ユーザが同一タイプのFPGAを所有し並行した開発作業を行うのでレスポンスの低下が生じない。分散型では必要に応じてFPGA間で設計回路や回路テストデータの共有、併合や交換等を行うことで連携を可能とする。

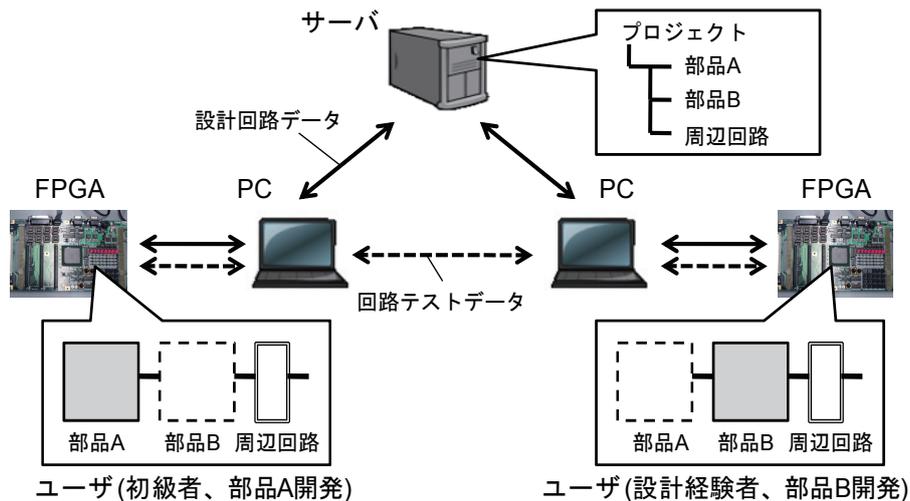


図4 分散型遠隔FPGAシステムの構成

分散型遠隔FPGAシステム構築手順を説明する。サーバではLSI回路設計CADを導入し、バージョン管理システムを導入した。バージョン管理システムはコンピュータ上で作成及び編集したファイルの変更履歴を管理するためのシステムである。ファイルの作成日時や変更点などの履歴を記録し、複数ユーザがファイルの編集に係わることを想定している。また、過去の変更履歴閲覧や変更前の状態に復元することも可能である。分散型では各ユーザの設計データが同期していることが重要であり、バージョン管理システムを利用するのが好都合である。本システムではLinux OS上で動作するSubversionソフトウェアを導入した。SubversionはHttpサービス上で動作し、他のPCからはWebブラウザもしくは専用クライアントソフトウェアで接続する。このソフトウェアを利用して設計者間での回路設計ファイルの共有化、バージョン管理による共同開発を可能とした。続いて、分散型システムの接続作業及びe-learningの学習用コンテンツを作成した。開発したシステムではFPGAボード(PCカードスロット挿入型)を2台用意する。FPGAボードは周辺回路などが用意してあるものにユーザ設計の回路領域を追加して回路設計するタイプである。PC-サーバまたはPC経由のFPGA間で設計回路データと回路テストデータが交換できるように、ネットワークソフトウェアを導入した。FPGAボードではノート型PCのカードスロットに差し込むタイプのPico Computing社FPGAを用意した。Pico Computing社FPGA付属のソフトウェア単体のみでは、回路設計やテスト動作プログラムを開発することができないので、FPGA回路設計開発ソフトウェア(Xilinx ISE Foundation)とC++開発環境(Microsoft Visual Studio 2008 Express Edition)を導入した。Pico Computing付属のマニュアルに従いテスト回路を開発し、動作確認した。ただし、回路初心者にはマニュアルの説明が不十分であったため、Pico ComputingFPGAの回路設計、動作テスト用プログラムを開発するための学習教材を作成した。

分散型遠隔FPGAシステムでは先に述べたPico ComputingFPGAをベースとしたFPGA開発環境に加えて、遠隔で操作できる機能をVNC(Virtual Network Computing)ソフトウェアにより導入した。Real VNCはVNCのサーバ・クライアント機能の両方が利用できるソフトウェアであり、このソフトウェアをPico ComputingFPGAを導入した2台のノートPCにインストールする。一方のPCをサーバで動作させ、もう一方をクライアント機能で動作させた。また、Real VNCはクライアントからの操作入力のみだけではなく、サーバ側の操作入

力も同時に受け入れることが可能である。これを利用して二人の利用者が同一のコンピュータ画面を操作してのリアルタイム共同開発を実行できるようにした。構築した分散型遠隔 FPGA システム装置とその操作画面を図 5 と図 6 に示す。



図 5 分散型遠隔 FPGA システム装置

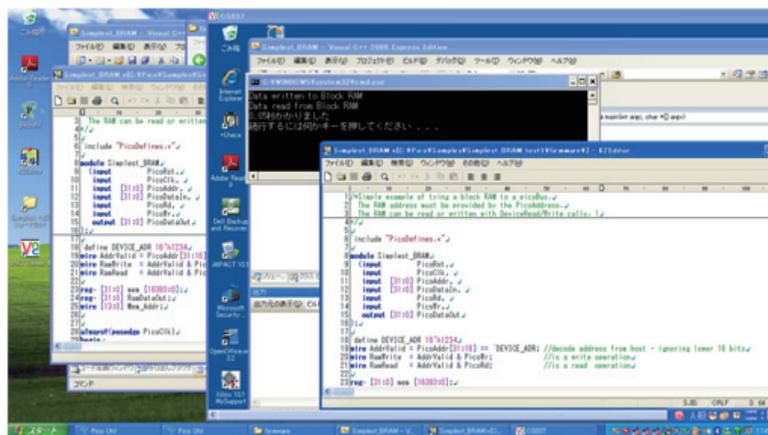


図 6 分散型遠隔 FPGA システムの操作画面

4 遠隔 FPGA システムの実証利用

4-1 MIMO-OFDM 方式無線映像伝送装置の開発

無線通信の更なる高速化、大容量化を実現する通信方式として、スループットの増加や信頼性の向上が見込める MIMO (Multiple-Input Multiple-Output) 技術と、互いに独立したサブキャリアを直交させることで周波数帯域の利用効率を高め、マルチパスフェージング環境に強い OFDM (Orthogonal Frequency Division Multiplexing) 変調方式を組み合わせ合わせた MIMO-OFDM 方式に注目が集まっている。IEEE802.11ac 標準化では 80MHz 以上の広帯域幅を用いて 4 ストリーム以上の MIMO-OFDM 方式での無線通信を行う次世代無線 LAN 規格の策定を開始している。この規格ではスループットはシングルリンクで 500Mbps、マルチリンクで 1Gbps の通信速度を目標としている。我々のグループはこれまでに FPGA を用いて 80MHz 帯域幅を使用した 2x2MIMO-OFDM 送受信機を開発してきた [8]。無線通信処理及びネットワーク処理を FPGA に有する 2x2MIMO-OFDM 無線映像伝送装置を開発した。映像伝送部は映像符号・復号化処理、ストリーミングパケット処理をソフトウェアで実行し、MIMO-OFDM 変復調、誤り訂正処理、オーバーサンプリング処理をハードウェアで実行する。

無線伝送部の構成を図 7 に示す。無線伝送部はベースバンド部と RF 部で構成される。ベースバンド部では

FPGA ボードと組み込みコンピュータが動作する CPU ボードが搭載され、筐体内の PCI バスを通じてデータ受け渡しを行う。CPU ボード上では MATLAB を用いて開発した測定用ソフトウェアを実行される。受信信号波形や BER(Bit Error Rate)の通信特性等を確認することが出来る。RF 部ではスーパーヘテロダイン方式に採用している。ベースバンド信号は IF 帯で 374MHz, RF 帯で 5200MHz に変調された後、アンテナにより電波信号が送出される。

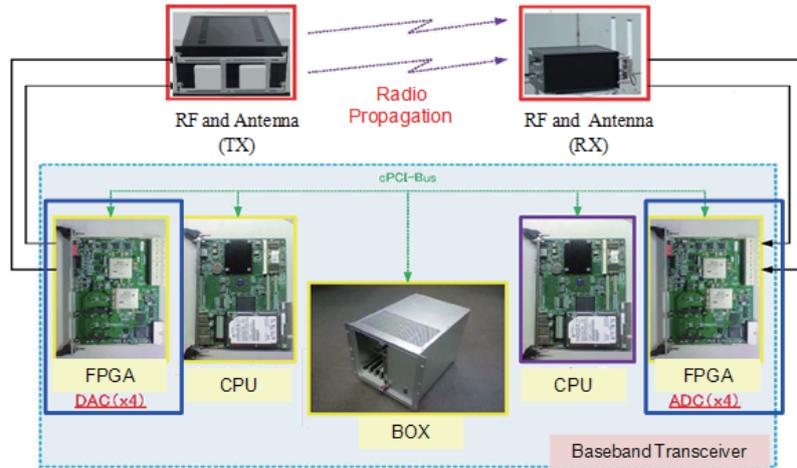


図7 無線伝送部の構成

無線映像伝送装置の構成を図8に示す。映像符号化・復号化処理には VLC Media Player を用いている。VLC Media Player はクロスプラットフォームで動作する動画再生ソフトであり、ストリーミングデータを指定した IP アドレス・Port 番号に送ることが出来る。その際のコーデック処理も可能で、映像データを任意の動画形式・ビットレートに変更することが出来る。VLC Media Player では UDP でストリーミングを流した場合、1,316 バイトの packets データとして順次送信する仕様となっている。USB カメラを用いる場合、映像を VLC Media Player によって符号圧縮を行う。映像の符号圧縮には MPEG-4 を用いている。USB カメラで取得した映像データを PC に取り込む。その後 VLC Media Player を用いて packets データを筐体へ送る。筐体内部は CPU ボードと FPGA ボードに分かれている。CPU ボードが packets データを受け取り、packets の先頭にシーケンス番号を付加した後、FPGA ボードへ出力されたデータを渡す。FPGA ボードではベースバンド変調処理を行った後、RF 部に伝送し無線伝送を行う。受信機側では筐体の FPGA ボードでベースバンド復調処理を行い、CPU ボードでシーケンス番号を取り除いた後、PC へデータを送信する。PC では VLC Media Player を用いて動画を再生し、モニタに出力する。

FPGA・CPU ボード間のデータ送受信処理を図9に示す。送信機側の筐体内 CPU ボードに書き込まれたデータは、次のデータが到着するまでの間メモリ上で保持される。プログラムによって出力されたデータが同筐体内の FPGA ボードに渡され、OFDM 変調される。ここで変調後の信号を繰り返し送信する処理を行う。この処理は FPGA ボードに対して次のデータ書き込みが行われるまで続けられる。受信機側の FPGA ボードは送信されたデータを CPU ボード上のプログラムによって受信するが、送信側では同じ packets データが繰り返し送信されているため、この複数のデータの内の一つを取り出す。これにより、送受信機間の同期を合わせることなくデータ伝送を実現できる。最後に FPGA ボードにおいて復調された packets データを CPU ボードに読み出し、宛先の PC に packets 送信する。なお、受信機側の FPGA ボードがデータを取り込むタイミングは CPU ボード上のプログラムの実行速度によって決定されているので、一つ前に取得した信号と同じ信号を取り込んでしまう場合もある。これを防ぐために送信機側の CPU ボードにおいて packets データにシーケンス番号を付加し、取り込んだ信号が一つ前に取り込んだ信号のシーケンス番号と同一であるならば、その信号を破棄する処理を加えている。現段階ではアンテナ入出力をケーブルで接続した有線での映像伝送評価が完成している [9]。今後は上記無線映像伝送装置を用いた屋外映像無線伝送試験を予定している。

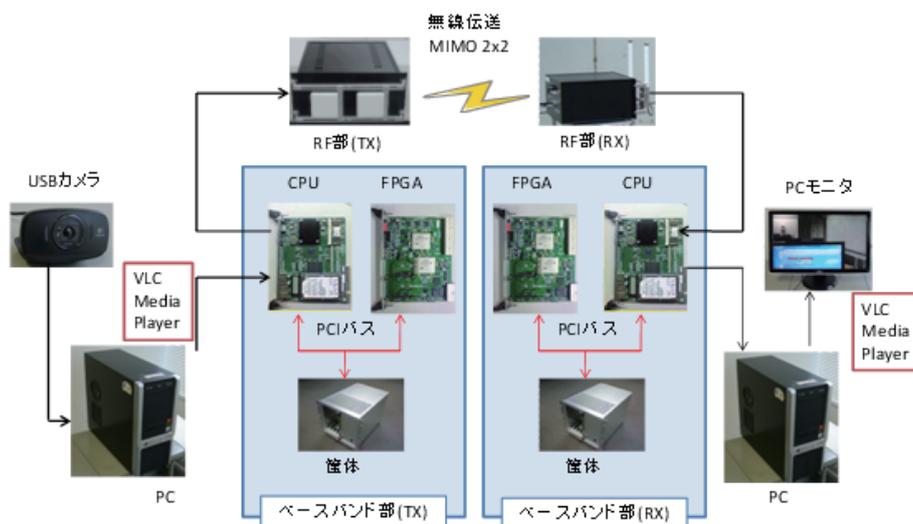


図 8 無線映像伝送装置の構成

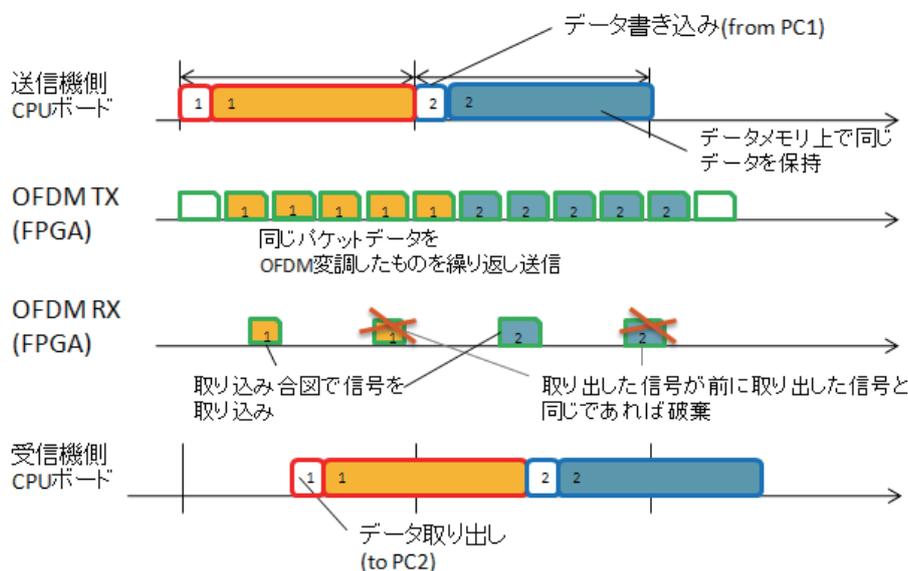


図 9 FPGA・CPU ボード間送受信処理

4-2 文字列パターン照合処理高速ハードウェアの開発

大規模ストリームにおける正規表現パターン照合問題を処理するハードウェアアルゴリズムを設計した [10]。提案アルゴリズムは、正規表現により多数のパターンや複雑なパターンを記述できるという特長を持ち、これをビット並列パターン手法により高速な照合を行うものである。ストリームデータに対する複数正規表現パターン照合は、処理全体の負荷が大きいので、これをハードウェア上で実行することは、多大な利点を持つと考えられる。高速ビット並列パターン照合手法にもとづいた線形正規表現パターン照合アーキテクチャを提案し、その FPGA 設計及び FPGA での動作検証を行った。図 10 に提案アーキテクチャの回路構成を示す。簡単な例題を用いて実機上での動作確認を行ったところ、既存の汎用コンピュータ上でのソフトウェア手法と比較して約 25 倍遅いクロック速度にも関わらず、約 40 倍高速に動作することを確認した。今後はより一層の処理効率化を目指している。

5 まとめ

FPGA 設計開発において研究開発者間で協調開発作業を行うことができる分散型遠隔 FPGA システムを提案し、システムの開発及びその実証利用を報告した。集中型遠隔 FPGA システムは実際の開発作業によってネッ

トワーク遅延等によるレスポンス低下が作業効率の低下をもたらしていたが、分散型遠隔 FPGA システムは各ユーザが同一タイプの FPGA を所有し並行した開発作業を行うためレスポンスの低下が生じない点で優れている。また、分散型は FPGA 間で設計回路や回路テストデータの共有、併合や交換等を行うことで連携を可能とした。分散型遠隔 FPGA システムシステムの構築ではバージョン管理システムやネットワーク連携システムや e-Learning 教材、FPGA 開発環境の導入を行った。遠隔 FPGA システムを用いた実証利用として、MIMO-OFDM 方式無線映像伝送装置の開発と文字列パターン照合処理高速ハードウェアの開発について、その開発経緯及び研究成果を報告した。

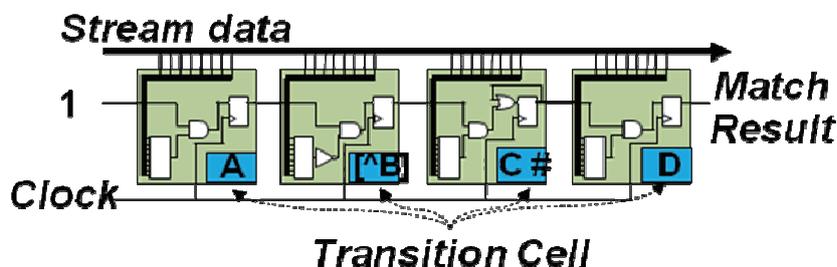


図 10 ストリームマッチング処理回路

【参考文献】

- [1] 小田井圭, 小松恵一, “FPGA を使った論理回路設計学習用教材の開発,” 信学技報 ET2008-59, Dec. 2008.
- [2] 清水翔太, 本間隆俊, 山内寛紀, “電子回路を利用した実習システムの研究,” 信学技報 ET2008-58, Dec. 2008.
- [3] P. Nouel, P. Kadionik, P. Gressier, P. Dufrene, S.Lemasson, “MEDICIS : A New Tool for Remote Programmable FPGA Circuit Testing,” IEEE Instrumentation and Measurement Technology Conference (IMTC), pp.327-329, May 2000.
- [4] 永田 和生, 田代 輝, 身次 茂, 柴村 英智, 久我 守弘, 末吉 敏則, “FPGA 遠隔再構成とリモート・ロジックアナライザ,” 情報処理学会研究会報告, システム LSI 設計技術(SLDM), pp. 101-106, Mar. 2004.
- [5] M. Surratt, H. Loomis, A. Ross, R. Duren, “Challenges of Remote FPGA Configuration for Space Applications,” IEEE Aerospace Conference, pp.1-9, Mar. 2005.
- [6] Leandro Soares Indrusiak Manfred Glesner, Ricardo Reis, “On the Evolution of Remote Laboratories for Prototyping Digital Electronic Systems,” IEEE Transactions on Industrial Electronics, Vol. 54, Issue 6, pp. 3069-3077, Nov. 2007.
- [7] 金 在成, 吉澤真吾, 金田悠作, 湊 真一, 有村博紀, 宮永喜一, “eラーニングと遠隔 FPGA の連携による異分野共同研究環境の開発,” 信学技報 RECONF2009-59, pp. 31-34, Jan. 2010.
- [8] Shingo Yoshizawa, Shinya Odagiri, Yasuhiro Asai, Takashi Gunji, Takashi Saito, Yoshikazu Miyanaga, “Development and Outdoor Evaluation of an Experimental Platform in an 80-MHz Bandwidth 2x2 MIMO-OFDM System at 5.2-GHz Band,” IEEE International Symposium on Personal, Indoor and Mobile Radio Communications (PIMRC), pp. 1048-1053, Sep. 2010.
- [9] 瀧澤 純, 加納寿美, 加地貴也, 吉澤真吾, 郡司 崇, 岡本章吾, 俵山守男, 宮永喜一, “広帯域 MIMO-OFDM に対応した無線動画伝送装置の開発,” 電子情報通信学会総合大会, A-20-5, pp. 298, Mar. 2011.
- [10] Yusaku Kaneta, Shingo Yoshizawa, Shin-ichi Minato, Hiroki Arimura, Yoshikazu Miyanaga, “Dynamic Reconfigurable Bit-Parallel Architecture for Large-Scale Regular Expression Matching,” IEEE International Conference on Field-Programmable Technology (FPT), pp. 21-28, Dec. 2010.

〈発 表 資 料〉

題 名	掲載誌・学会名等	発表年月
Development and Outdoor Evaluation of an Experimental Platform in an 80-MHz Bandwidth 2x2 MIMO-OFDM System at 5.2-GHz Band	International Symposium on Personal, Indoor and Mobile Radio Communications	2010 年 9 月
Development of 600 Mbps 2x2 MIMO-OFDM Baseband and RF Transceiver at 5 GHz Band	IEEE International Symposium on Communications and Information Technologies	2010 年 10 月
Dynamic Reconfigurable Bit-Parallel Architecture for Large-Scale Regular Expression Matching	IEEE International Conference on Field-Programmable Technology	2010 年 12 月
VLSI Architecture of a MMSE-MIMO Detector and a 4x4 MIMO-OFDM Transceiver with an 80-MHz Channel Bandwidth	RISP Journal of Signal Processing	2011 年 1 月
VLSI Implementation of a Scalable Pipeline MMSE MIMO Detector for a 4x4 MIMO-OFDM Receiver	IEICE Transactions on Fundamentals	2011 年 1 月
広帯域 MIMO-OFDM に対応した無線動画伝送装置の開発	電子情報通信学会総合大会	2011 年 3 月