

多値伝送技術を駆使した VLSI システムにおける高効率伝送に関する研究

代表研究者 飯島 洋 祐 小山工業高等専門学校 電気電子創造工学科 助教

1 はじめに

現在、VLSI システム内における通信速度は数 Gbps を超えてきており、それに伴ってチップ間を接続する配線の振る舞いは複雑化し、それが VLSI システムにおける高速伝送の問題となってきた。具体的には、配線の周波数特性はローパス特性を示し、これによって配線を伝搬する信号波形は劣化し、受信端で符号同士が干渉することによる符号間干渉 (Intersymbol Interference ; ISI) [1] が問題となる。この符号間干渉によって、受信端において正確な **0** と **1** の符号判定が困難になる。このため、VLSI システムの高性能化において配線の挙動を中心とした VLSI システム設計の重要性が高まってきた。

これまでに、VLSI チップ間の通信を想定してマイクロストリップ線路上の通信評価にて、**0/1** の 2 値伝送と **00/01/10/11** の 4 値伝送における通信性能の評価、および送信側イコライザである Tomlinson-Harashima Precoding (THP) [2][3] を適用した有効性についてシミュレーションを行ってきた[4]。多値伝送技術と THP を組み合わせる事で、通信性能の向上と共に、回路動作周波数を抑えることによるハードウェアコストの削減が期待できる事を示してきた。

本研究では、VLSI システムにおける高速伝送に 4 値以上の多値伝送技術を適用した場合の伝送評価およびハードウェアコストの削減効果等を検証する。具体的には、振幅変調方式を用いて、特に 4-PAM (Pulse-Amplitude Modulation ; PAM) に加えて 6-PAM および 8-PAM の多値伝送を適用した検証を行う。通信性能のシミュレーションには、新たに VLSI チップ間の配線を想定した評価用のプリント基板を試作し、試作基板の実測値を用いたシミュレーションを行う。さらに、THP を適用した 4-PAM、6-PAM および 8-PAM 伝送を評価し、多値伝送と THP を組み合わせた場合の高速通信性能およびハードウェアコストの削減効果を考察した。

2 チップ間伝送評価基板の開発および特性評価

2-1 評価用プリント基板の開発

VLSI チップ間の伝送特性を評価するために、FR-4 基板にて伝送評価用の配線長、構造が異なる特性インピーダンス 50 オームの L1~L7 の 7 種類の伝送路を設計、その評価基板を試作した。具体的には、マイクロストリップ線路での線路長 1m (L1)、2m (L2) の伝送路、伝送帯域の制御した伝送路フィルタ (L3、L4)、クロストークノイズ評価に向けたストリップ線路の平行ライン (L5)、2 種類のスルーホールを有する 1m のマイクロストリップ線路 (L6、L7) を設計した。図 1 に試作した評価用プリント基板の外観写真を示す。図 1 に示すように各伝送路の特性は SMA コネクタを介して測定できる。

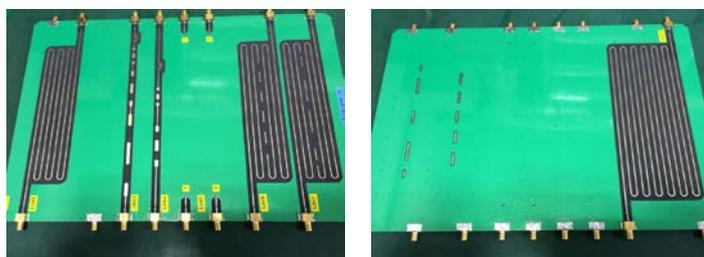


図 1 開発した評価用プリント基板の構造と外観写真 (左 : 表面、右 : 裏面)

2-2 評価用プリント基板配線を用いた伝送特性評価

開発した評価用プリント基板の伝送特性を評価するために、20GHz までの周波数特性の測定が可能な群馬産業技術試験場のネットワークアナライザ (Anritsu 社 37169A) にて周波数特性 (S パラメータ) を測定した。図 2 に測定の様子と測定した各伝送線路の減衰特性を示す。図 2 から、各配線の周波数特性はローパス

特性を有している事がわかる。図3に同じマイクロストリップ線路構造で配線長の異なるL1とL2の比較、スルーホール有無のマイクロストリップ線路1mのL1、L6およびL7線路の比較結果を示す。図3に示すように配線長と共に減衰量が増加し、さらにスルーホールの有無によって特に約3GHz以上の周波数で影響が大きい事を確認した。本年度の検証では、主にL1とL2配線を用いた実験を行ったが、今後他の配線についても評価し、検討を進めていく。

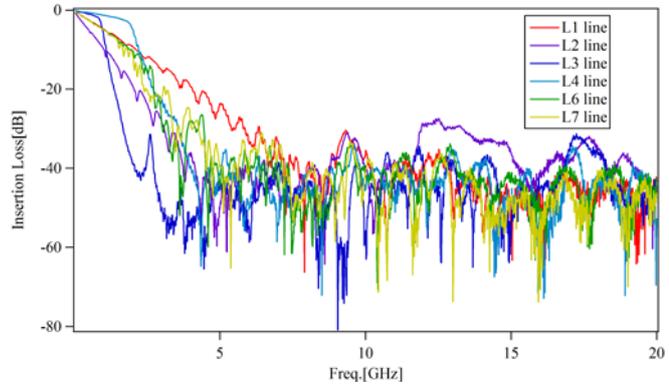
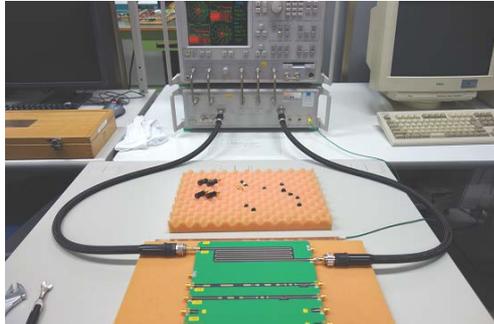


図2 群馬産業技術試験場でのネットワークアナライザによる測定の様子（左）と測定結果（右）

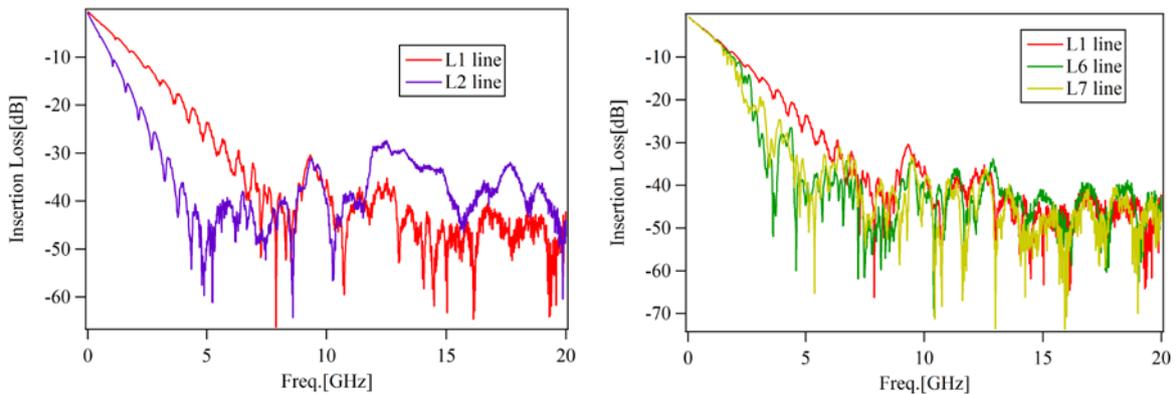


図3 評価用プリント基板の伝送路特性の比較

(左：L1とL2線路の比較、右：L1、L6とL7線路の比較)

開発したプリント基板配線の通信特性を評価するために、実測した伝送路の周波数特性からインパルス応答を算出し、伝送波形の時間軸応答をシミュレーションした。具体的には、ネットワークアナライザで測定した周波数特性から逆フーリエ変換（IFFT）でインパルス応答波形を算出し、送信波形とインパルス応答波形を畳み込み演算することで受信端波形をシミュレーションした。図4にL1とL2配線の伝送波形のシミュレーション結果を示す。図4のInput waveは送信波形であり、Output(L1)とOutput(L2)はそれぞれL1とL2での伝送波形の結果である。図4のシミュレーション結果に示すように、開発した評価用プリント基板配線での波形の歪みと遅延量が解析できる。さらに、図4にはL1、L6およびL7伝送路の受信端波形の比較結果を示す。図4に示すように、スルーホールの有無による受信端波形の歪みの影響が確認できる。スルーホールを有することで、スルーホールによる遅延と、波形歪みの影響を確認できた。

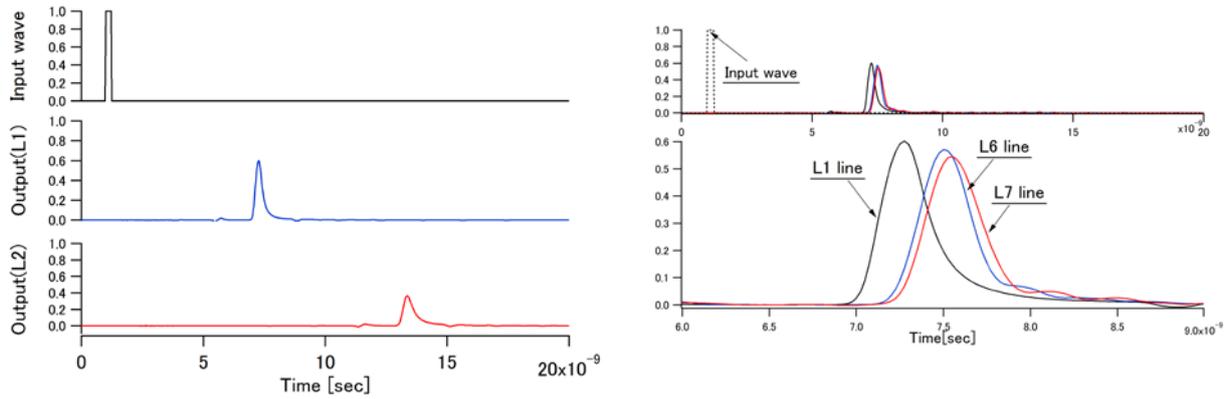


図4 インパルス応答波形のシミュレーション結果
(左 : L1 と L2 配線での比較、右 : L1 と L6 と L7 配線での比較)

3 多値伝送技術を適用したチップ間通信性能の評価

開発した基板を用い、VLSI チップ間を想定した通信性能を評価した。具体的には、0/1 の 2 値伝送 (バイナリ伝送) に加え、振幅方向に情報を多値化した 4-PAM、6-PAM と 8-PAM の多値伝送について通信性能を評価した。送信信号を多値化することで、同じデータレートの場合と比較し、バイナリ伝送よりも通信周波数を低周波数化でき、回路実装コストを抑えた高効率な伝送が期待できる。本節では、3-1 でバイナリ伝送での通信評価、3-2 で多値伝送での評価結果を示す。さらに、3-3 ではジッターの影響解析の結果を示す。

3-1 アイパターンを用いた高速伝送評価

図 5 に L1、L2 配線における 1Gbit/sec (bps) の伝送レートでのバイナリ伝送時の受信端波形を示す。図 5 に示す受信端波形から L1 および L2 配線による波形歪みが確認できる。しかし、受信端波形からは正しくシンボル判定が可能かどうかの通信性能の確認は難しい。そこで、本研究では受信端波形からアイパターンをシミュレーションし、アイパターンを用いた伝送評価を行う。アイパターンとは、ランダム信号での受信端波形を重ねて表示したものであり、通信品質の評価に広く用いられる評価指標である。図 5 の結果から作成した 1Gbps のデータレートでの L1 と L2 配線におけるアイパターンを図 6 に示す。図 6 のアイパターンを見ると、アイパターンから 0/1 のシンボル判定が可能な事がわかる。

さらに、図 7 には 2Gbps、4Gbps の伝送レートでのバイナリ伝送におけるアイパターンの結果を示す。図 7 に示すように、伝送速度と共に ISI の影響が増加し、アイパターンが悪化し、アイパターンの開きが減少している。特に、マイクロストリップ線路 2m (L2) 配線では、4Gbps の伝送周波数において ISI の影響でアイパターンが完全に閉じており、0/1 のデータ判定が困難になっている。

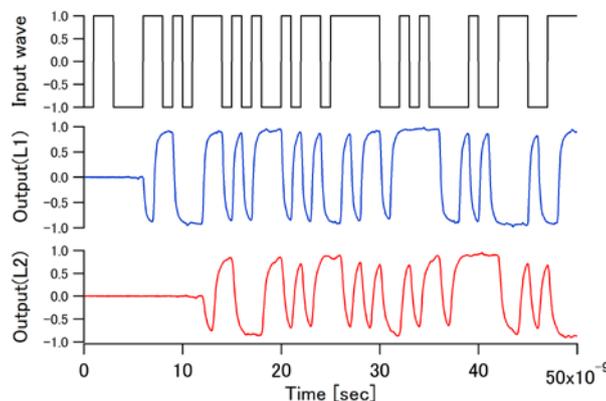


図5 1Gbps での L1 と L2 配線での伝送波形のシミュレーション結果

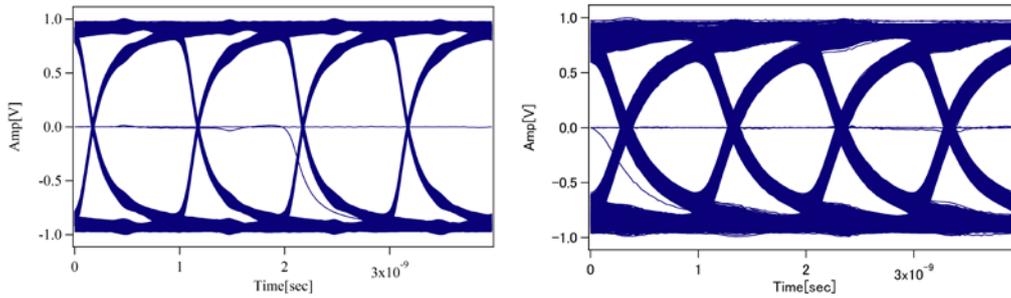
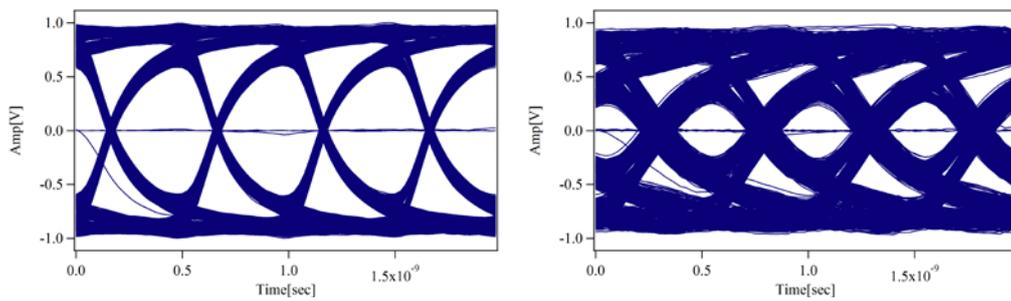
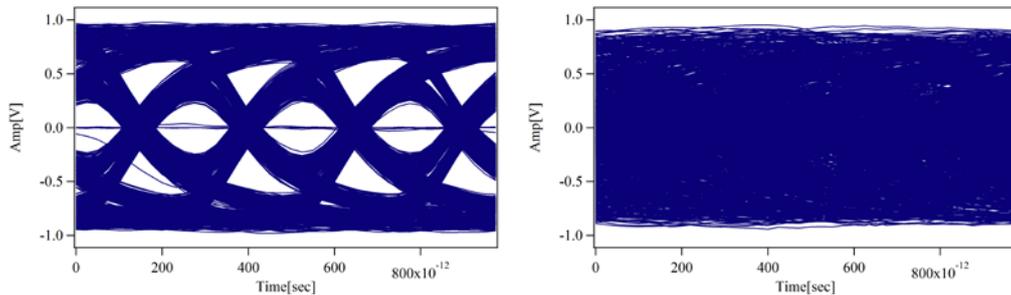


図6 L1 と L2 配線における 1Gbps でのアイパターン
(左 : L1 配線での結果、右 : L2 配線での結果)



(a) 伝送レート 2Gbps での結果



(b) 伝送レート 4Gbps での結果

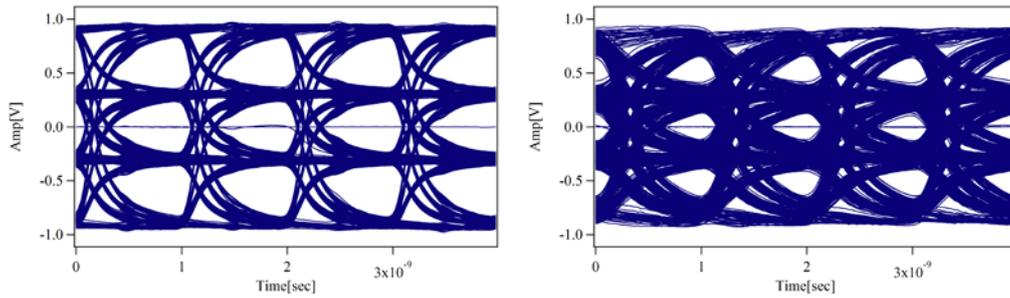
図7 L1 と L2 配線での 2Gbps と 4Gbps のアイパターン
(左 : L1 配線での結果、右 : L2 配線での結果)

3-2 多値伝送方式を適用した高速伝送評価

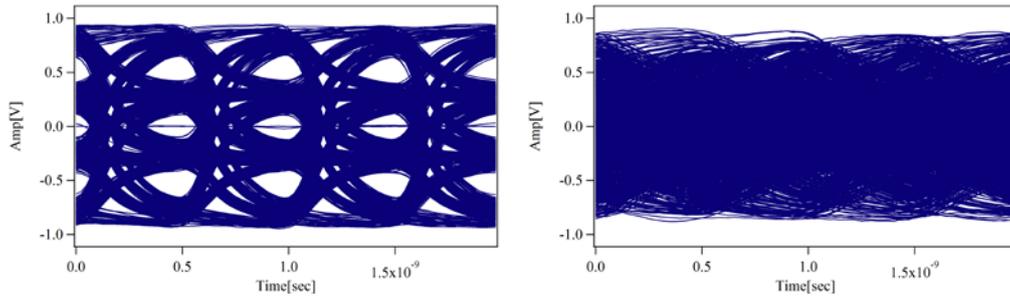
本研究では、多値伝送方式として、特に 4-PAM、6-PAM と 8-PAM での伝送について評価した。

まず、図 8 に 4-PAM 伝送における 2Gbps および 4Gbps での L1、L2 配線におけるシミュレーション結果を示す。4-PAM では 1 シンボルあたり 2 ビット ($= \log_2 4$) の情報量を伝送可能なため、シンボルレート 1Gsp/s (symbol/sec) と 2Gsp/s の速度で 2Gbps と 4Gbps の伝送が可能である。図 8 の結果では、1Gsp/s の結果はマイクロストリップ線路 1m と 2m でアイが開いているが、2Gsp/s では 2m の線路ではアイが完全に閉じてしまう。

次に、6-PAM および 8-PAM でのデータレート 4Gbps のシミュレーション結果を図 9 に示す。6-PAM では 1 シンボルあたり約 2.5 ビット ($= \log_2 6$)、8-PAM では 1 シンボルあたり 3 ビット ($= \log_2 8$) の情報量の伝送が可能であるため、6-PAM および 8-PAM ではそれぞれ約 1.55Gsp/s と約 1.33Gsp/s のシンボルレートで 4Gbps の高速通信が実現できる。



(a) 2Gbps (1Gsps)



(b) 4Gbps (2Gsps)

図 8 L1、L2 配線での 4-PAM 伝送の評価結果 (左 : L1 配線、右 : L2 配線)

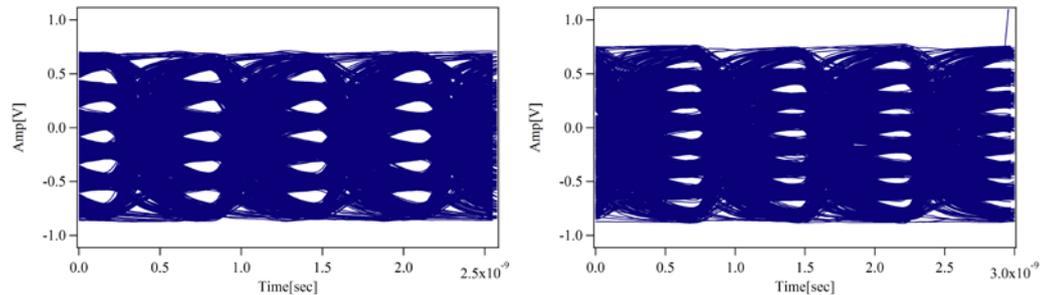
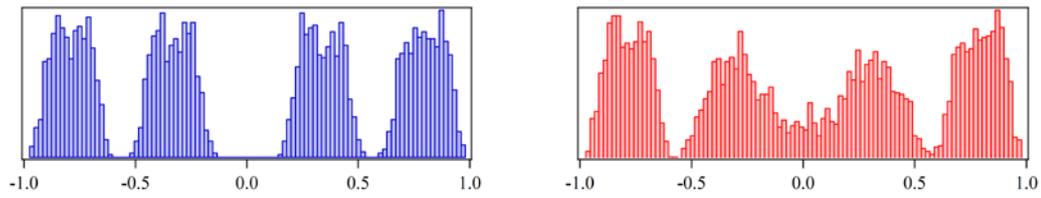


図 9 6-PAM および 8-PAM 伝送での 4Gbps でのシミュレーション結果
(左 : 6-PAM の結果、右 : 8-PAM の結果)

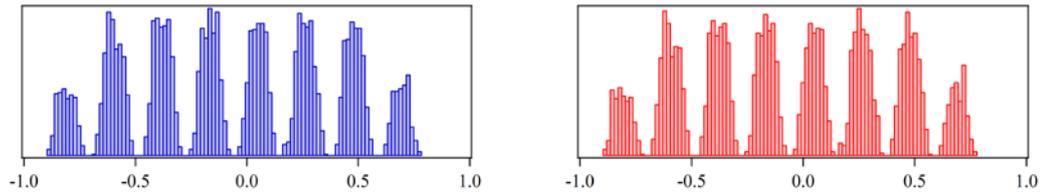
3-3 多値伝送のジッターに対する影響解析

受信端におけるサンプリングタイミングのジッターの影響をシミュレーションにて評価した。具体的には、受信端でのサンプリングタイミングに最大 50psec のランダムジッターを付加したときの受信データのバラつきを評価した。

図 10 に、伝送レート 4Gbps でのバイナリ伝送と 8-PAM でのジッターあり/なしでの受信データのバラつきをヒストグラムで示す。図 10 に示すように、バイナリ伝送ではシンボルレートが高いためにジッターの影響を受けやすく、ジッターあり/なしで受信データのバラつきが大きく変化する。バイナリ伝送では、ジッターが加わった場合には 0/1 のシンボル判定が困難になる事がわかる。一方、8-PAM では、8 値に多値化することでシンボルレートが 1/3 (1.33Gsps) に低くなるため、ジッターの影響を受け難く、ジッターあり/なしで受信データのヒストグラムはほとんど変化しないことがわかる。



(a) バイナリ伝送での結果



(b) 8-PAM 伝送での結果

図 10 伝送レート 4Gbps でのタイミングジッターの影響
(左 (青色) : ジッターなし、右 (赤色) : ジッターあり [最大 50psec のランダムジッター])

4 波形整形技術を適用した多値伝送評価

本研究では、符号間干渉を除去するために波形整形技術を適用し、6-PAM と 8-PAM の多値伝送と組み合わせた高速信号伝送を検討した。本研究では、波形整形技術として送信側イコライザの一つである Tomlinson-Harashima Precoding (THP) を適用し、シミュレーションで通信性能を評価した。図 11 に示すように、THP はモジュロ加算器を用いたデジタルフィルタで構成でき、送信側での信号処理にて送信電力を抑えつつ受信端での ISI 除去が実現できる。受信端の処理では、モジュロ演算を施すことで、正確なデータを得ることができる。図 11 に示す THP 回路の係数 $h_1, h_2 \dots h_n$ は伝送路の特性から決定する。

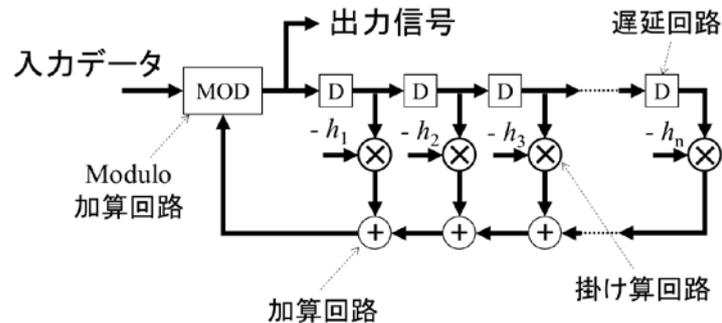


図 11 送信側における THP 回路の構成

図 12 に THP を適用した場合の 6-PAM および 8-PAM における 4Gbps での受信端アイパターンを示す。6-PAM と 8-PAM での THP 回路のタップ数は、それぞれ 3 タップと 1 タップである。図 12 に示すように、図 9 の同じ 4Gbps での THP なしの結果と比較すると、THP による波形整形処理によって受信端での ISI の影響を除去できている事がわかる。さらに、図 13 に 2Gbps での 6-PAM および 8-PAM 伝送でのアイパターンを示す。2Gbps は 6-PAM では約 5Gbps、8-PAM では 6Gbps と同等であり、6-PAM と 8-PAM に THP による波形整形処理を施すことで、マイクロストリップ線路 1m で 5Gbps 以上の高速伝送が可能であることを確認できた。

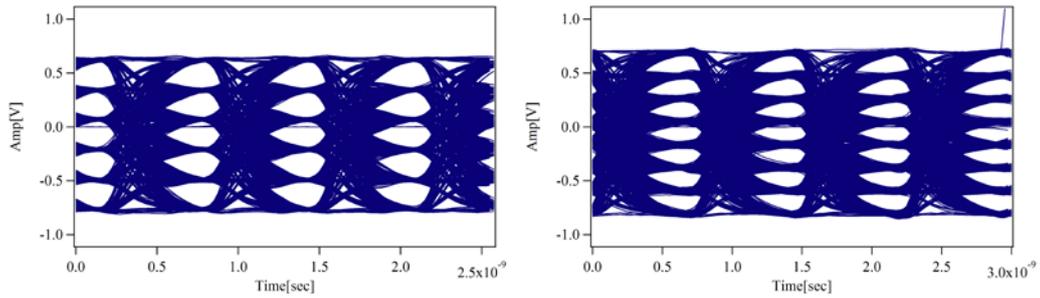


図 12 6-PAM および 8-PAM 伝送方式での 4Gbps 伝送時のアイパターン
(6-PAM : 1.55Gsps [THP : 3 タップ]、8-PAM : 1.33Gsps [THP : 1 タップ])

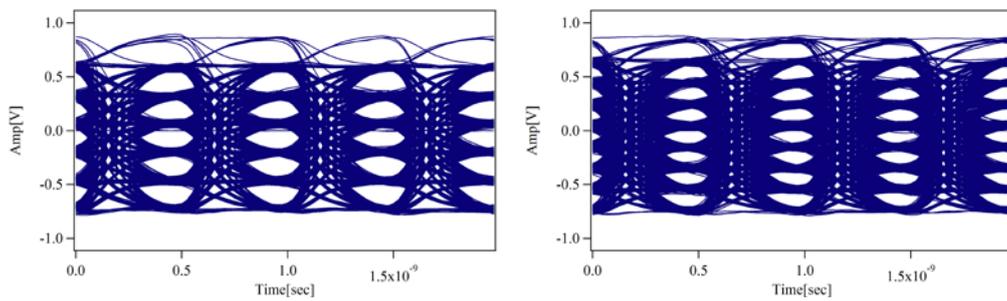


図 13 2Gsps での PAM-6 および PAM-8 伝送方式でのアイパターン

5 考察

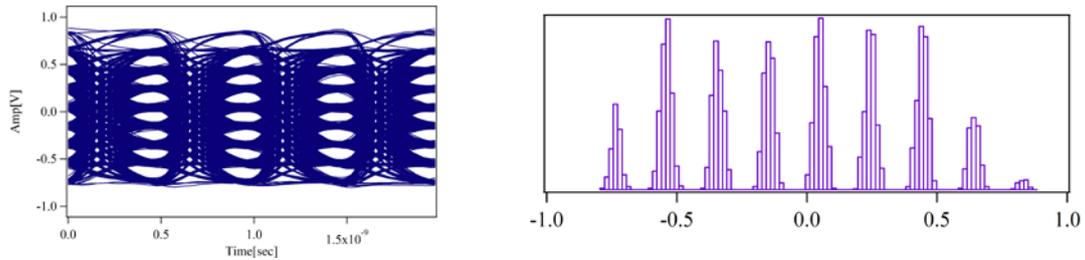
図 9 に示すように、マイクロストリップ線路 1m (L1 配線) にて 6-PAM と 8-PAM を適用することで 1.55Gsps 以下のシンボルレートで 4Gbps の通信が実現できた。4-PAM 以上の 6-PAM と 8-PAM の多値伝送を適用することで、シンボルレートを低くする事が可能であり、伝送回路の動作周波数を落とした効率的な通信回路が可能になる。さらに、シンボルレートが低くなることで、ジッターによるタイミング等のずれの影響を低減できるメリットがある。図 10 の結果から、同じ 4Gbps にてバイナリ伝送と 8-PAM を比較するとバイナリ伝送に比べてシンボルレートが 1/3 になり、50psec のジッターの影響が大きく低減できる事を確認した。

さらに、図 13 に示すように、多値伝送に THP を適用することで、マイクロストリップ線路 1m にて 6-PAM と 8-PAM で 2Gsps までの高速通信が実現できた。図 13 から、受信端での符号間干渉の影響が除去できており、8-PAM にて 6Gsps の伝送速度が実現できた。表 1 には、バイナリ伝送 (2-PAM)、4-PAM、8-PAM での 6Gsps の通信を実現する場合の THP 回路のタップ数を示す。表 1 に示すように、多値化によるシンボルレートの低下によって回路動作周波数の低周波数化だけでなく、THP 回路のタップ数が削減できる。特に、8-PAM を用いた場合には、バイナリ伝送に比べて THP 回路のタップ数を 1/4 にすることができる。

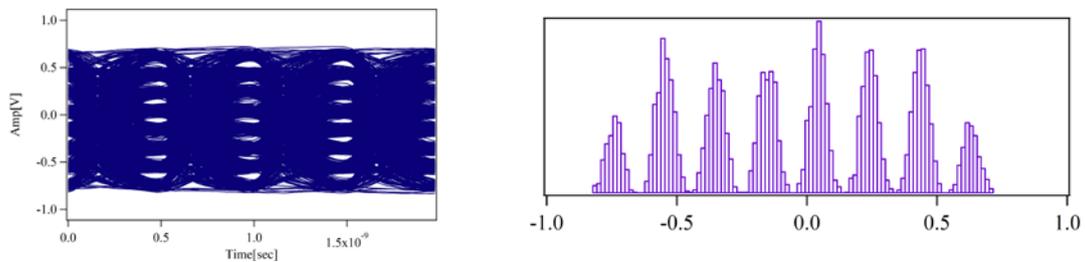
しかしながら、多値伝送を適用した場合には、バイナリ伝送方式に比べてシンボル間距離が減少するために高精度な ISI 除去が要求される。THP を適用する場合のシンボル間距離は、バイナリ伝送に比べて 4-PAM では 1/2 倍、6-PAM では 1/3 倍、8-PAM では 1/4 倍となる。このため、多値伝送を適用した場合、THP には高精度な符号間干渉除去のための信号処理が求められる。図 14 に THP 回路の係数の設定を 4 ビット幅と 8 ビット幅にした場合の受信端アイパターンと受信データのヒストグラムを示す。図 14 に示すように、THP 回路の係数の設定が 4 ビット幅になることで受信端における受信端において ISI が正確に除去できなくなる事がわかる。つまり、多値化に伴うシンボル間距離の減少によって、特に 8-PAM などの多値伝送に適用する THP には高精度なデジタル処理回路が要求される事と示唆される。

表 1 2-PAM、4-PAM、8-PAM での 6Gbps 伝送時の THP タップ数

	2-PAM	4-PAM	8-PAM
伝送レート@6Gbps	6Gsps	3Gsps	2Gsps
THP タップ数	8	4	2



(b) THP 係数の設定 8 ビット



(a) THP 係数の設定 4 ビット

図 14 8-PAM 伝送にて THP 係数の設定を変化させたときの比較 (2Gsps)

6 まとめ

本研究では、多値伝送と THP を適用した VLSI チップ間伝送について、新たに開発した評価用のプリント基板配線を用いた評価検証を行った。6-PAM および 8-PAM の多値伝送を適用する事で、シンボルレートを抑えられることで、THP 回路などの実装コストを考慮すると回路動作周波数の低周波数化および回路規模の削減の効果が得られる事を示した。今後は、通信性能のより詳細な評価を行うと共に、FPGA を用いた回路試作等によって詳細なハードウェアコストの評価検証を進めていく。

【参考文献】

- [1] Barry, E.A. Lee and D.G. Messerschmitt, "Digital communication," Springer, 2003.
- [2] M. Tomlinson, "New automatic equaliser employing modulo arithmetic," Electronics Letters, Vol.7, pp.138-139, 1971.
- [3] H. Harashima and H. Miyakawa, "Matched-transmission technique for channels with intersymbol interference," IEEE Trans. on Communications, Vol.COM-20, pp.774-780, 1972.
- [4] Yosuke Iijima, Yuuki Takada, Yasushi Yuminaka, "High-Speed Interconnection for VLSI Systems using Multiple-Valued Signaling with Tomlinson-Harashima Precoding," IEICE Trans. INF. & SYST., Vol.E97-D, No.9, pp.2296-2303, Sep. 2014.

〈発 表 資 料〉

題 名	掲載誌・学会名等	発表年月
無線補助通信を用いた適応型送信イコライザ回路に関する検討	電気学会栃木・群馬支所合同研究発表会	2015年3月